

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-156260

(43)Date of publication of application : 08.06.2001

(51)Int.Cl.

H01L 27/04  
H01L 21/822  
H01L 21/8234  
H01L 27/088

(21)Application number : 2000-032047

(71)Applicant : NEC CORP

(22)Date of filing : 09.02.2000

(72)Inventor : KIMIZUKA NAOHIKO  
GOTO YOSHIRO  
IMAI KIYOTAKA

(30)Priority

Priority number : 11263569

Priority date : 17.09.1999

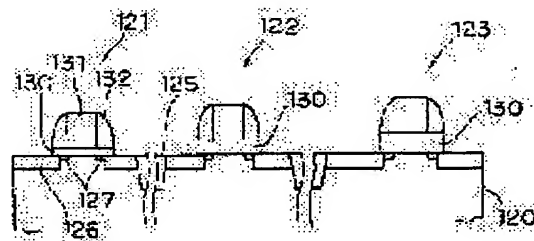
Priority country : JP

## (54) INTEGRATED CIRCUIT DEVICE, ELECTRONIC CIRCUIT EQUIPMENT, AND CIRCUIT-MANUFACTURING METHOD

(57)Abstract:

**PROBLEM TO BE SOLVED:** To improve performance and at the same time save power of an integrated circuit where one portion of circuits operates constantly and one portion of circuit pauses appropriately.

**SOLUTION:** A third transistor 123 where a gate insulation film 130 is thickest is driven with a high voltage, and is operated speedily while a gate leak current is small. A first transistor 121 where the gate insulation film 130 is the thinnest and a second transistor 122 where the gate insulation film 130 is not thinnest are driven by a low voltage, and the first transistor 121 is allowed to pause appropriately although the second transistor 122 is operated constantly. The second transistor 122 constantly operates at a low speed while the gate leak current is small, and the first transistor 121 pauses appropriately while the gate leak current is not small and operates speedily, thus optimizing the transistors 121-123 according to applications and performance.



## LEGAL STATUS

[Date of request for examination]

09.02.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]



[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-156260

(P2001-156260A)

(43) 公開日 平成13年6月8日 (2001. 6. 8)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード(参考)

H 0 1 L 27/04

H 0 1 L 27/04

P 5 F 0 3 8

21/822

27/08

1 0 2 C 5 F 0 4 8

21/8234

27/088

審査請求 有 請求項の数21 O L (全 23 頁)

(21) 出願番号 特願2000-32047(P2000-32047)

(22) 出願日 平成12年2月9日(2000. 2. 9)

(31) 優先権主張番号 特願平11-263569

(32) 優先日 平成11年9月17日(1999. 9. 17)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 君塚 直彦

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 後藤 啓郎

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100088328

弁理士 金田 暢之 (外2名)

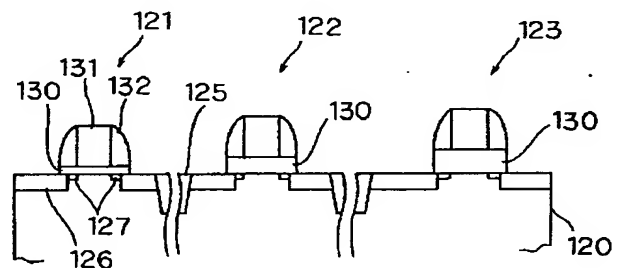
最終頁に続く

(54) 【発明の名称】 集積回路装置、電子回路機器、回路製造方法

(57) 【要約】

【課題】 一部の回路は常時動作して一部の回路は適宜休止する集積回路装置の高性能化と省電力化とを両立させる。

【解決手段】 ゲート絶縁膜130が最厚の第三トランジスタ123を高電圧で駆動し、ゲートリーク電流が微少な状態で高速に動作させる。ゲート絶縁膜130が最薄の第一トランジスタ121と最薄ではない第二トランジスタ122を低電圧で駆動し、第二トランジスタ122は常時動作させるが第一トランジスタ121は適宜休止させる。第二トランジスタ122はゲートリーク電流が微少な状態で低速に常時動作し、第一トランジスタ121はゲートリーク電流は微少でないが適宜休止しながら高速に動作するので、各トランジスタ121～123が用途や性能に対応して最適化されている。



## 【特許請求の範囲】

【請求項1】 共通の電源電圧が供給される第一処理回路と第二処理回路とを具備して動作モードとして稼働モードと待機モードとが切換自在な集積回路装置であって、

前記第二処理回路は稼働モードと待機モードとの両方で電源電圧が供給され、

前記第一処理回路は電源電圧の供給が稼働モードでは供給されて待機モードでは停止され、

この動作モードに対応した前記第一処理回路への電圧供給を前記第二処理回路が制御し、

前記第一処理回路が具備している第一トランジスタのゲート絶縁膜の膜厚より前記第二処理回路が具備している第二トランジスタのゲート絶縁膜の膜厚が厚いことを特徴とする集積回路装置。

【請求項2】 共通の電源電圧が供給される第一処理回路と第二処理回路とを具備して動作モードとして稼働モードと待機モードとが切換自在な集積回路装置であって、

ゲート絶縁膜が所定の膜厚aで形成されていて所定の電圧Aにより稼働モードのみ駆動される第一トランジスタを具備している第一処理回路と、

ゲート絶縁膜が所定の膜厚bで形成されていて所定の電圧Bにより稼働モードと待機モードとの両方で駆動される第二トランジスタを具備している第二処理回路と、を具備しており、前記膜厚a、bと前記電圧A、Bとが

$$a < b$$

$$A = B$$

なる関係を満足している集積回路装置。

【請求項3】 共通の電源電圧が供給される第一処理回路と第二処理回路とを具備して動作モードとして稼働モードと待機モードとが切換自在な集積回路装置であって、

ゲート絶縁膜が所定の膜厚aで形成されていて所定の電圧Aにより稼働モードのみ駆動される第一トランジスタを具備している第一処理回路と、

ゲート絶縁膜が所定の膜厚bで形成されていて所定の電圧Bにより稼働モードと待機モードとの両方で駆動される第二トランジスタを具備している第二処理回路と、

ゲート絶縁膜が所定の膜厚cで形成されていて所定の電圧Cで駆動される第三トランジスタを具備している第三処理回路と、を具備しており、前記膜厚a～cと前記電圧A～Cとが

$$a < b < c$$

$$A = B < C$$

なる関係を満足している集積回路装置。

【請求項4】 ゲート絶縁膜が所定の膜厚aで形成されていて所定の電圧Aで駆動される第一トランジスタを具備している第一処理回路と、

ゲート絶縁膜が所定の膜厚bで形成されていて所定の電

圧Bで駆動される第二トランジスタを具備している第二処理回路と、

ゲート絶縁膜が所定の膜厚cで形成されていて所定の電圧Cで駆動される第三トランジスタを具備している第三処理回路と、を具備しており、前記膜厚a～cと前記電圧A～Cとが

$$a < b < c$$

$$A = B < C$$

なる関係を満足している集積回路装置。

【請求項5】 前記第一処理回路の動作の有無を前記第二処理回路が制御する請求項2または3に記載の集積回路装置。

【請求項6】 前記第二処理回路は待機モードに所定信号の外部入力を検知すると前記第一処理回路への電圧供給を開始する請求項1ないし3の何れか一項に記載の集積回路装置。

【請求項7】 前記第一トランジスタのゲート絶縁膜が半導体基板の表面に成長された熱酸化膜からなり、前記第二トランジスタのゲート絶縁膜が、アルゴンと弗素と弗素化合物との少なくとも一つが注入された前記半導体基板の表面に前記第一トランジスタのゲート絶縁膜と同時に成長された熱酸化膜からなる請求項1ないし6の何れか一項に記載の集積回路装置。

【請求項8】 前記第二トランジスタのゲート絶縁膜が半導体基板の表面に成長された熱酸化膜からなり、前記第一トランジスタのゲート絶縁膜が、インジウムと窒素との少なくとも一方が注入された前記半導体基板の表面に前記第二トランジスタのゲート絶縁膜と同時に成長された熱酸化膜からなる請求項1ないし7の何れか一項に記載の集積回路装置。

【請求項9】 前記電源電圧が別体のバッテリーから供給されている請求項1ないし8の何れか一項に記載の集積回路装置。

【請求項10】 共通の電源電圧が供給される第一処理回路と第二処理回路とを具備して動作モードとして稼働モードと待機モードとが切換自在な電子回路機器であって、

前記第一第二処理回路に電源電圧を供給する電源と、

該電源に本体電力を供給するバッテリーと、

該バッテリーの電力供給をオン／オフ切替する電源スイッチと、を具備しており、

前記第二処理回路は前記電源スイッチのオン状態には電源電圧が常時供給され、

前記第一処理回路は前記電源スイッチのオン状態でも待機モードでは電源電圧の供給が停止され、

前記第一処理回路が具備している第一トランジスタのゲート絶縁膜の膜厚より前記第二処理回路が具備している第二トランジスタのゲート絶縁膜の膜厚が厚いことを特徴とする電子回路機器。

【請求項11】 動作モードとして稼働モードと待機モ

ードとが切換自在な電子回路機器であって、  
請求項 3 に記載の集積回路装置と、  
該集積回路装置の第一第二処理回路に電圧 A (= B) を供給する低電圧電源と、  
前記第三処理回路に電圧 C を供給する高電圧電源と、  
前記第一処理回路の動作の要否を判定できる所定データを前記第二処理回路にデータ通知するデータ通知手段と、を具備している電子回路機器。

【請求項 1 2】 請求項 3 または 4 に記載の集積回路装置を製造する回路製造方法であって、  
半導体基板の表面の全域に熱酸化膜を成長させ、  
この熱酸化膜の表面の前記第一第三処理回路の位置にレジストマスクを形成し、  
このレジストマスクから露出している前記第二処理回路の位置の前記熱酸化膜にアルゴンと弗素と弗素化合物との少なくとも一つを注入し、  
この注入後に前記第一第二処理回路の位置の前記熱酸化膜を除去し、  
前記第三処理回路の位置に熱酸化膜が成長されて前記第二処理回路の位置に前記注入が実行された前記半導体基板の表面の全域に熱酸化膜を成長させ、  
この熱酸化膜により前記第一トランジスタと前記第二第三トランジスタのゲート電極を形成するようにした回路製造方法。

【請求項 1 3】 請求項 3 または 4 に記載の集積回路装置を製造する回路製造方法であって、  
半導体基板の表面の全域に熱酸化膜を成長させ、  
この熱酸化膜の表面の前記第三処理回路の位置にレジストマスクを形成し、  
このレジストマスクから露出している前記第一第二処理回路の位置の前記熱酸化膜を除去し、  
この熱酸化膜が除去された前記第二処理回路の位置にレジストマスクを形成し、  
このレジストマスクから露出している前記第一処理回路の位置の前記半導体基板にインジウムと窒素との少なくとも一方を注入し、  
この注入後に前記レジストマスクを除去して前記半導体基板の表面の全域に熱酸化膜を成長させ、  
この熱酸化膜により前記第一トランジスタと前記第二第三トランジスタのゲート電極を形成するようにした回路製造方法。

【請求項 1 4】 請求項 3 または 4 に記載の集積回路装置を製造する回路製造方法であって、  
半導体基板の表面の全域に熱酸化膜を成長させ、  
この熱酸化膜の表面の前記第一処理回路の位置に熱酸化を防止する熱酸化マスクを形成し、  
この熱酸化マスクから露出している前記第二第三処理回路の位置の前記半導体基板の表面に熱酸化膜を成長させ、  
この熱酸化膜の表面の前記第三処理回路の位置にレジ

トマスクを形成し、  
このレジストマスクと前記熱酸化マスクとから露出している前記第二処理回路の位置の前記熱酸化膜を除去し、  
この熱酸化膜の除去後に前記レジストマスクを除去し、  
前記熱酸化マスクから露出している前記第二第三処理回路の位置に熱酸化膜を成長させ、  
前記熱酸化膜により前記第一トランジスタと前記第二第三トランジスタのゲート電極を形成するようにした回路製造方法。

10 【請求項 1 5】 請求項 3 または 4 に記載の集積回路装置を製造する回路製造方法であって、  
半導体基板の表面の全域に熱酸化膜を成長させ、  
この熱酸化膜の表面の前記第二処理回路の位置に熱酸化を防止する熱酸化マスクを形成し、  
この熱酸化マスクから露出している前記第一第三処理回路の位置の前記半導体基板の表面に熱酸化膜を成長させ、  
この熱酸化膜の表面の前記第三処理回路の位置にレジストマスクを形成し、  
20 このレジストマスクと前記熱酸化マスクとから露出している前記第一処理回路の位置の前記熱酸化膜を除去し、  
この熱酸化膜の除去後に前記レジストマスクを除去し、  
前記熱酸化マスクから露出している前記第一第三処理回路の位置に熱酸化膜を成長させ、  
前記熱酸化膜により前記第一トランジスタと前記第二第三トランジスタのゲート電極を形成するようにした回路製造方法。

【請求項 1 6】 前記熱酸化マスクを導電層で形成し、  
この導電層により少なくとも前記第一トランジスタのゲート電極を形成するようにした請求項 1 4 または 1 5 に記載の回路製造方法。

【請求項 1 7】 前記熱酸化マスクの導電層をポリシリコン膜で形成するようにした請求項 1 6 に記載の回路製造方法。

【請求項 1 8】 請求項 3 または 4 に記載の集積回路装置を製造する回路製造方法であって、  
半導体基板の表面の全域に熱酸化膜を成長させ、  
この熱酸化膜の表面の前記第一処理回路の位置に熱酸化を防止する第一ポリシリコン膜を形成し、  
露出している前記第二第三処理回路の位置と前記第一ポリシリコン膜との表面に熱酸化膜を成長させ、  
この熱酸化膜の表面の前記第三処理回路の位置にレジストマスクを形成し、  
このレジストマスクから露出している前記第二処理回路の位置と前記第一ポリシリコン膜との表面から前記熱酸化膜を除去し、  
この熱酸化膜の除去後に前記レジストマスクを除去し、  
前記第二第三処理回路の位置と前記第一ポリシリコン膜との表面に熱酸化膜を成長させ、  
この熱酸化膜と前記第一ポリシリコン膜との表面に第二

ポリシリコン膜を形成し、  
 この第二ポリシリコン膜の表面の前記第二第三処理回路の位置にレジストマスクを形成し、  
 このレジストマスクから露出している前記第一処理回路の位置の前記第二ポリシリコン膜を除去し、  
 この除去により露出した前記第一処理回路の位置の前記熱酸化膜を除去して前記第一ポリシリコン膜を露出させ、  
 前記第二第三処理回路の位置から前記レジストマスクを除去して前記第二ポリシリコン膜を露出させ、  
 前記第一処理回路の位置の前記第一ポリシリコン膜をパターンニングして前記第一トランジスタのゲート電極を形成するとともに、前記第二第三処理回路の位置の前記第二ポリシリコン膜をパターンニングして前記第二第三トランジスタのゲート電極を形成するようにした回路製造方法。

【請求項19】 請求項3または4に記載の集積回路装置を製造する回路製造方法であって、  
 半導体基板の表面の全域に熱酸化膜を成長させ、  
 この熱酸化膜の表面の前記第二処理回路の位置に熱酸化を防止する第一ポリシリコン膜を形成し、  
 露出している前記第一第三処理回路の位置と前記第一ポリシリコン膜との表面に熱酸化膜を成長させ、  
 この熱酸化膜の表面の前記第三処理回路の位置にレジストマスクを形成し、  
 このレジストマスクから露出している前記第一処理回路の位置と前記第一ポリシリコン膜との表面から前記熱酸化膜を除去し、  
 この熱酸化膜の除去後に前記レジストマスクを除去し、  
 前記第一第三処理回路の位置と前記第一ポリシリコン膜との表面に熱酸化膜を成長させ、  
 この熱酸化膜と前記第一ポリシリコン膜との表面に第二ポリシリコン膜を形成し、  
 この第二ポリシリコン膜の表面の前記第一第三処理回路の位置にレジストマスクを形成し、  
 このレジストマスクから露出している前記第二処理回路の位置の前記第二ポリシリコン膜を除去し、  
 この除去により露出した前記第二処理回路の位置の前記熱酸化膜を除去して前記第一ポリシリコン膜を露出させ、  
 前記第一第三処理回路の位置から前記レジストマスクを除去して前記第二ポリシリコン膜を露出させ、  
 前記第二処理回路の位置の前記第一ポリシリコン膜をパターンニングして前記第二トランジスタのゲート電極を形成するとともに、前記第一第三処理回路の位置の前記第二ポリシリコン膜をパターンニングして前記第一第三トランジスタのゲート電極を形成するようにした回路製造方法。

【請求項20】 請求項3または4に記載の集積回路装置を製造する回路製造方法であって、

半導体基板の表面の全域に熱酸化膜を成長させ、  
 この熱酸化膜の表面の前記第一処理回路の位置に熱酸化を防止する第一ポリシリコン膜を形成し、  
 露出している前記第二第三処理回路の位置と前記第一ポリシリコン膜との表面に熱酸化膜を成長させ、  
 この熱酸化膜の表面の前記第三処理回路の位置にレジストマスクを形成し、  
 このレジストマスクから露出している前記第二処理回路の位置と前記第一ポリシリコン膜との表面から前記熱酸化膜を除去し、  
 この熱酸化膜の除去後に前記レジストマスクを除去し、  
 前記第二第三処理回路の位置と前記第一ポリシリコン膜との表面に熱酸化膜を成長させ、  
 この熱酸化膜と前記第一ポリシリコン膜との表面に第二ポリシリコン膜を形成し、  
 この第二ポリシリコン膜を前記第一処理回路の位置から除去するとともに前記第二第三処理回路の位置でパターンニングして前記第二第三トランジスタのゲート電極を形成し、  
 前記第二第三処理回路の位置にレジストマスクを形成し、  
 このレジストマスクから露出している前記第一処理回路の位置の前記第一ポリシリコン膜をパターンニングして前記第一トランジスタのゲート電極を形成するようにした回路製造方法。

【請求項21】 請求項3または4に記載の集積回路装置を製造する回路製造方法であって、  
 半導体基板の表面の全域に熱酸化膜を成長させ、  
 この熱酸化膜の表面の前記第二処理回路の位置に熱酸化を防止する第一ポリシリコン膜を形成し、  
 露出している前記第一第三処理回路の位置と前記第一ポリシリコン膜との表面に熱酸化膜を成長させ、  
 この熱酸化膜の表面の前記第三処理回路の位置にレジストマスクを形成し、このレジストマスクから露出している前記第一処理回路の位置と前記第一ポリシリコン膜との表面から前記熱酸化膜を除去し、  
 この熱酸化膜の除去後に前記レジストマスクを除去し、  
 前記第一第三処理回路の位置と前記第一ポリシリコン膜との表面に熱酸化膜を成長させ、  
 この熱酸化膜と前記第一ポリシリコン膜との表面に第二ポリシリコン膜を形成し、  
 この第二ポリシリコン膜を前記第二処理回路の位置から除去するとともに前記第一第三処理回路の位置でパターンニングして前記第一第三トランジスタのゲート電極を形成し、  
 前記第一第三処理回路の位置にレジストマスクを形成し、  
 このレジストマスクから露出している前記第二処理回路の位置の前記第一ポリシリコン膜をパターンニングして前記第二トランジスタのゲート電極を形成するようにした



回路製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の処理回路を具備している集積回路装置、この集積回路装置を具備している電子回路機器、その集積回路装置を製造する回路製造方法、に関する。

【0002】

【従来の技術】現在、複数の処理回路を具備している集積回路装置がワンチップマイコンなどとして製品化されており、このような集積回路装置が携帯電話機などの電子回路機器に利用されている。

【0003】携帯電話機などのようにユーザが携帯する電子回路機器の場合、必然的にバッテリーを電源とすることになるが、小型軽量化も要求されるためにバッテリーも小型軽量化されている。それでいて、長時間の使用も要求されるため、その集積回路装置には消費電力の削減が極度に要求されている。さらに、デジタル方式の携帯電話機の場合、音声信号をリアルタイムにデジタル処理するため、その集積回路装置には高速動作も要求されている。

【0004】携帯電話機の場合、着信に待機するために常時動作している必要があるが、その全部の部分が常時動作している必要はない。そこで、現在の携帯電話機などの集積回路装置では、待機時には必要最小限の処理回路のみ動作させることにより省電力化を実現している。

【0005】さらに、集積回路装置の動作を高速化するためには、その処理回路のトランジスタの駆動電圧を上昇させれば良い。しかし、単純に駆動電圧を上昇させると必然的に消費電力が増大し、駆動電圧を低下させるとトランジスタの動作速度が低下するので、駆動電圧を低下させるとともにトランジスタのゲート絶縁膜を薄型化することで、オン電流を増加させて消費電力を低減しながら高速動作も実現している。

【0006】

【発明が解決しようとする課題】従来の携帯電話機などの電子回路機器では、上述のようにトランジスタのゲート絶縁膜を薄型化するとともに駆動電圧を低減することで、集積回路装置の消費電力を削減しながら高速動作を実現しており、さらに、待機時には必要最小限の処理回路のみ動作させることにより省電力化を実現している。

【0007】しかし、トランジスタのゲート絶縁膜の膜厚を減少させると、動作速度が変化しないように駆動電圧を低下させてもゲートリーク電流が増大する。例えば、図17に示すように、トランジスタのゲート絶縁膜厚が20(Å)、ゲート長が0.1(μm)、ゲート幅が10(μm)の場合、駆動電圧が1.2(V)でもゲート電極と半導体基板との間のゲートリーク電流は10(pA)となる。

【0008】特に、CMOS(Complementary Metal Oxide Semiconductor)回路ではn型とp型とのMOSトラ

ンジスタの一方のゲート電極と半導体基板との間に駆動電圧が常時印加されるので、ゲートリーク電流は常時発生することになる。現在の集積回路装置では、数百万個のトランジスタを集積することもあるため、そのゲートリーク電流は無視できない。例えば、500万個のCMOSトランジスタがある場合、その合計のゲートリーク電流は最大で25(μA)にもなる。

【0009】従って、前述のように動作時の消費電力を低減しながら高速動作を実現するため、電源電圧を低下させるとともに集積回路装置のトランジスタのゲート絶縁膜を薄型化しても、トランジスタのゲートリーク電流が増加することになり、結果的に待機時でも消費電力を良好に削減することが困難となる。トランジスタのゲートリーク電流を削減するためには、集積回路装置のトランジスタのゲート絶縁膜の膜厚を増大させれば良いが、これでは高速に動作することが困難となる。

【0010】本発明は上述のような課題に鑑みてなされたものであり、待機時の消費電力を削減しながら動作時には小電流で高速に動作できる集積回路装置、この集積回路装置を具備した電子回路機器、その集積回路装置を製造する回路製造方法、の少なくとも一つを提供することを目的とする。

【0011】

【課題を解決するための手段】本発明の第一の集積回路装置は、共通の電源電圧が供給される第一処理回路と第二処理回路とを具備して動作モードとして稼働モードと待機モードとが切替自在な集積回路装置であって、前記第二処理回路は稼働モードと待機モードとの両方で電源電圧が供給され、前記第一処理回路は電源電圧の供給が稼働モードでは供給されて待機モードでは停止され、この動作モードに対応した前記第一処理回路への電圧供給を前記第二処理回路が制御し、前記第一処理回路が具備している第一トランジスタのゲート絶縁膜の膜厚より前記第二処理回路が具備している第二トランジスタのゲート絶縁膜の膜厚が厚い。

【0012】従って、本発明の集積回路装置では、ゲート絶縁膜の膜厚が相違する第一トランジスタと第二トランジスタとが同一の電源電圧で駆動される。第二トランジスタは、ゲート絶縁膜が最薄でないので動作は低速であるが、ゲートリーク電流が微少な状態で待機モードでも駆動される。第一トランジスタは、ゲート絶縁膜が最薄なので、ゲートリーク電流は微少でないが高速に動作する状態で稼働モードのみ駆動される。なお、ここでは説明を簡略化するため、各発明で言及する各種の薄膜において、膜厚が最も厚いことを最厚、最も薄いことを最薄、と呼称する。

【0013】本発明の第二の集積回路装置は、共通の電源電圧が供給される第一処理回路と第二処理回路とを具備して動作モードとして稼働モードと待機モードとが切替自在な集積回路装置であって、ゲート絶縁膜が所

定の膜厚  $a$  で形成されていて所定の電圧  $A$  により稼働モードのみ駆動される第一トランジスタを具備している第一処理回路と、ゲート絶縁膜が所定の膜厚  $b$  で形成されていて所定の電圧  $B$  により稼働モードと待機モードとの両方で駆動される第二トランジスタを具備している第二処理回路と、を具備しており、前記膜厚  $a$ 、 $b$  と前記電圧  $A$ 、 $B$  とが

$$a < b$$

$$A = B$$

なる関係を満足している。

【0014】従って、本発明の集積回路装置では、ゲート絶縁膜の膜厚が相違する第一トランジスタと第二トランジスタとが同一の電圧  $A (= B)$  で駆動される。第二トランジスタは、ゲート絶縁膜が最薄でないので動作は低速であるが、ゲートリーク電流が微少な状態で待機モードでも駆動される。第一トランジスタは、ゲート絶縁膜が最薄なので、ゲートリーク電流は微少でないが高速に動作する状態で稼働モードのみ駆動される。

【0015】本発明の第三の集積回路装置は、共通の電源電圧が供給される第一処理回路と第二処理回路とを具備して動作モードとして稼働モードと待機モードとが切替自在な集積回路装置であって、ゲート絶縁膜が所定の膜厚  $a$  で形成されていて所定の電圧  $A$  により稼働モードのみ駆動される第一トランジスタを具備している第一処理回路と、ゲート絶縁膜が所定の膜厚  $b$  で形成されていて所定の電圧  $B$  により稼働モードと待機モードとの両方で駆動される第二トランジスタを具備している第二処理回路と、ゲート絶縁膜が所定の膜厚  $c$  で形成されていて所定の電圧  $C$  で駆動される第三トランジスタを具備している第三処理回路と、を具備しており、前記膜厚  $a$  30

$$a < b < c$$

$$A = B < C$$

なる関係を満足している。

【0016】従って、本発明の集積回路装置では、第三トランジスタは高圧の電圧  $C$  で駆動され、第一トランジスタと第二トランジスタとは低圧の電圧  $A (= B)$  で駆動される。第三トランジスタは、駆動電圧が高圧であるがゲート絶縁膜が最厚なので、ゲートリーク電流が微少な状態で高速に動作する。第一トランジスタは、駆動電圧が低圧であるがゲート絶縁膜が最薄なので、ゲートリーク電流は微少でないが稼働モードのみ高速に動作する。第二トランジスタは、ゲート絶縁膜が最薄でなく駆動電圧が低圧なので、ゲートリーク電流が微少な状態で第一トランジスタより低速に待機モードでも動作する。

【0017】本発明の第四の集積回路装置は、ゲート絶縁膜が所定の膜厚  $a$  で形成されていて所定の電圧  $A$  で駆動される第一トランジスタを具備している第一処理回路と、ゲート絶縁膜が所定の膜厚  $b$  で形成されていて所定の電圧  $B$  で駆動される第二トランジスタを具備している

第二処理回路と、ゲート絶縁膜が所定の膜厚  $c$  で形成されていて所定の電圧  $C$  で駆動される第三トランジスタを具備している第三処理回路と、を具備しており、前記膜厚  $a \sim c$  と前記電圧  $A \sim C$  とが

$$a < b < c$$

$$A = B < C$$

なる関係を満足している。

【0018】従って、本発明の集積回路装置では、第三トランジスタは高圧の電圧  $C$  で駆動され、第一トランジスタと第二トランジスタとは低圧の電圧  $A (= B)$  で駆動される。第三トランジスタは、駆動電圧が高圧であるがゲート絶縁膜が最厚なので、ゲートリーク電流が微少な状態で高速に動作する。第一トランジスタは、駆動電圧が低圧であるがゲート絶縁膜が最薄なので、ゲートリーク電流は微少でないが高速に動作する。第二トランジスタは、ゲート絶縁膜が最薄でなく駆動電圧が低圧なので、ゲートリーク電流が微少な状態で第一トランジスタより低速に動作する。

【0019】上述のような集積回路装置において、前記第一処理回路の動作の有無を前記第二処理回路が制御することも可能である。この場合、待機モードでも駆動されている第二処理回路が第一処理回路の駆動を制御する。

【0020】上述のような集積回路装置において、前記第二処理回路は待機モードに所定信号の外部入力を検知すると前記第一処理回路への電圧供給を開始することも可能である。この場合、待機モードの第二処理回路が所定信号の外部入力を検知すると第一処理回路への電圧供給が開始されるので、所定信号の外部入力により待機モードの第一処理回路が起動される。

【0021】上述のような集積回路装置において、前記第一トランジスタのゲート絶縁膜が半導体基板の表面に成長された熱酸化膜からなり、前記第二トランジスタのゲート絶縁膜が、アルゴンと弗素と弗素化合物との少なくとも一つが注入された前記半導体基板の表面に前記第一トランジスタのゲート絶縁膜と同時に成長された熱酸化膜からなることも可能である。

【0022】この場合、アルゴンと弗素と弗素化合物との少なくとも一つが注入された半導体基板の表面に成長された熱酸化膜は、注入されていない表面に同時に成長された熱酸化膜より厚膜となるので、第二トランジスタのゲート酸化膜が第一トランジスタのゲート酸化膜より厚膜に形成される。

【0023】上述のような集積回路装置において、前記第二トランジスタのゲート絶縁膜が半導体基板の表面に成長された熱酸化膜からなり、前記第一トランジスタのゲート絶縁膜が、インジウムと窒素との少なくとも一方が注入された前記半導体基板の表面に前記第二トランジスタのゲート絶縁膜と同時に成長された熱酸化膜からなることも可能である。

【0024】この場合、インジウムと窒素との少なくとも一方が注入された半導体基板の表面に成長された熱酸化膜は、注入されていない表面に同時に成長された熱酸化膜より薄膜となるので、第一トランジスタのゲート酸化膜が第二トランジスタのゲート酸化膜より薄膜に形成される。

【0025】上述のような集積回路装置において、前記電源電圧が別体のバッテリーから供給されていることも可能である。この場合、バッテリーの発生する電源電圧が第一処理回路と第二処理回路とに共通に供給される。

【0026】本発明の第一の電子回路機器は、共通の電源電圧が供給される第一処理回路と第二処理回路とを具備して動作モードとして稼働モードと待機モードとが切替自在な電子回路機器であって、前記第一第二処理回路に電源電圧を供給する電源と、該電源に本体電力を供給するバッテリーと、該バッテリーの電力供給をオン／オフ切替する電源スイッチと、を具備しており、前記第二処理回路は前記電源スイッチのオン状態には電源電圧が常時供給され、前記第一処理回路は前記電源スイッチのオン状態でも待機モードでは電源電圧の供給が停止され、前記第一処理回路が具備している第一トランジスタのゲート絶縁膜の膜厚より前記第二処理回路が具備している第二トランジスタのゲート絶縁膜の膜厚が厚い。

【0027】従って、本発明の電子回路機器では、電源スイッチがオンされるとバッテリーから電源に本体電力が供給され、その電源電圧は第二処理回路には常時供給されるが第一処理回路には稼働モードのみ供給される。第二トランジスタは、ゲート絶縁膜が最薄でないで動作は低速であるが、ゲートリーク電流が微少な状態で待機モードでも駆動される。第一トランジスタは、ゲート絶縁膜が最薄なので、ゲートリーク電流は微少でないが高速に動作する状態で稼働モードのみ駆動される。

【0028】本発明の第二の電子回路機器は、動作モードとして稼働モードと待機モードとが切替自在な電子回路機器であって、本発明の第三の集積回路装置と、該集積回路装置の第一第二処理回路に電圧A(=B)を供給する低電圧電源と、前記第三処理回路に電圧Cを供給する高電圧電源と、前記第一処理回路の動作の可否を判定できる所定データを前記第二処理回路にデータ通知するデータ通知手段と、を具備している。

【0029】従って、本発明の電子回路機器では、集積回路装置の第一第二処理回路に低電圧電源が電圧A(=B)を供給し、第三処理回路に高電圧電源が電圧Cを供給する。ただし、第一処理回路の動作の可否を判定できる所定データをデータ通知手段が第二処理回路にデータ通知するので、この第二処理回路はデータ通知手段のデータ通知に対応して第一処理回路の動作の有無を制御する。

【0030】本発明の第一の回路製造方法は、本発明の第一または第三の集積回路装置を製造する回路製造方法

であって、半導体基板の表面の全域に熱酸化膜を成長させ、この熱酸化膜の表面の前記第一第三処理回路の位置にレジストマスクを形成し、このレジストマスクから露出している前記第二処理回路の位置の前記熱酸化膜にアルゴンと弗素と弗素化合物との少なくとも一つを注入し、この注入後に前記第一第二処理回路の位置の前記熱酸化膜を除去し、前記第三処理回路の位置に熱酸化膜が成長されて前記第二処理回路の位置に前記注入が実行された前記半導体基板の表面の全域に熱酸化膜を成長させ、この熱酸化膜により前記第一トランジスタと前記第二第三トランジスタのゲート電極を形成する。

【0031】従って、本発明の回路製造方法では、第一第二処理回路の位置に同時に熱酸化膜を形成するが、第二処理回路の位置のみアルゴンや弗素や弗素酸化膜を注入しておくので、この第二処理回路の位置の熱酸化膜は第一処理回路の位置より成長が促進される。第三処理回路の位置は熱酸化膜が二層からなるので、第二処理回路の位置より厚膜に形成される。

【0032】本発明の第二の回路製造方法は、本発明の第一または第三の集積回路装置を製造する回路製造方法であって、半導体基板の表面の全域に熱酸化膜を成長させ、この熱酸化膜の表面の前記第三処理回路の位置にレジストマスクを形成し、このレジストマスクから露出している前記第一第二処理回路の位置の前記熱酸化膜を除去し、この熱酸化膜が除去された前記第二処理回路の位置にレジストマスクを形成し、このレジストマスクから露出している前記第一処理回路の位置の前記半導体基板にインジウムと窒素との少なくとも一方を注入し、この注入後に前記レジストマスクを除去して前記半導体基板の表面の全域に熱酸化膜を成長させ、この熱酸化膜により前記第一トランジスタと前記第二第三トランジスタのゲート電極を形成するようにした。

【0033】従って、本発明の回路製造方法では、第一第二処理回路の位置に同時に熱酸化膜を形成するが、第一処理回路の位置のみインジウムや窒素を注入しておくので、この第一処理回路の位置の熱酸化膜は第二処理回路の位置より成長が低減される。第三処理回路の位置は熱酸化膜が二層からなるので、第二処理回路の位置より厚膜に形成される。

【0034】本発明の第三の回路製造方法は、本発明の第一または第三の集積回路装置を製造する回路製造方法であって、半導体基板の表面の全域に熱酸化膜を成長させ、この熱酸化膜の表面の前記第一処理回路の位置に熱酸化を防止する熱酸化マスクを形成し、この熱酸化マスクから露出している前記第二第三処理回路の位置の前記半導体基板の表面に熱酸化膜を成長させ、この熱酸化膜の表面の前記第三処理回路の位置にレジストマスクを形成し、このレジストマスクと前記熱酸化マスクとから露出している前記第二処理回路の位置の前記熱酸化膜を除去し、この熱酸化膜の除去後に前記レジストマスクを除

去し、前記熱酸化マスクから露出している前記第二第三処理回路の位置に熱酸化膜を成長させ、前記熱酸化膜により前記第一トランジスタと前記第二第三トランジスタのゲート電極を形成するようにした。

【0035】従って、本発明の回路製造方法では、第一処理回路の位置に熱酸化膜を適正な膜厚に成長させてから、これを熱酸化マスクで遮蔽して第二第三処理回路の位置に熱酸化膜を成長させるので、第一第二処理回路の位置の熱酸化膜が各々独自の膜厚により形成される。第三処理回路の位置は熱酸化膜が二層からなるので、第二

【0036】本発明の第四の回路製造方法は、本発明の第一または第三の集積回路装置を製造する回路製造方法であって、半導体基板の表面の全域に熱酸化膜を成長させ、この熱酸化膜の表面の前記第二処理回路の位置に熱酸化を防止する熱酸化マスクを形成し、この熱酸化マスクから露出している前記第一第三処理回路の位置の前記半導体基板の表面に熱酸化膜を成長させ、この熱酸化膜の表面の前記第三処理回路の位置にレジストマスクを形成し、このレジストマスクと前記熱酸化マスクとから露出している前記第一処理回路の位置の前記熱酸化膜を除去し、この熱酸化膜の除去後に前記レジストマスクを除去し、前記熱酸化マスクから露出している前記第一第三処理回路の位置に熱酸化膜を成長させ、前記熱酸化膜により前記第一トランジスタと前記第二第三トランジスタのゲート電極を形成するようにした。

【0037】従って、本発明の回路製造方法では、第二処理回路の位置に熱酸化膜を適正な膜厚に成長させてから、これを熱酸化マスクで遮蔽して第一第三処理回路の位置に熱酸化膜を成長させるので、第一第二処理回路の位置の熱酸化膜が各々独自の膜厚により形成される。第三処理回路の位置は熱酸化膜が二層からなるので、第二

【0038】上述のような回路製造方法において、前記熱酸化マスクを導電層で形成し、この導電層により少なくとも前記第一トランジスタのゲート電極を形成することも可能である。この場合、第一トランジスタのゲート絶縁膜の膜厚を制御するために形成した熱酸化マスクの導電層から、第一トランジスタのゲート電極が形成される。

【0039】上述のような回路製造方法において、前記熱酸化マスクの導電層をポリシリコン膜で形成することも可能である。この場合、ポリシリコン膜は物性的に下層の熱酸化を良好に防止することができ、ゲート電極などの導電層として利用することができる。

【0040】本発明の第五の回路製造方法は、本発明の第一または第三の集積回路装置を製造する回路製造方法であって、半導体基板の表面の全域に熱酸化膜を成長させ、この熱酸化膜の表面の前記第一処理回路の位置に熱酸化を防止する第一ポリシリコン膜を形成し、露出して

いる前記第二第三処理回路の位置と前記第一ポリシリコン膜との表面に熱酸化膜を成長させ、この熱酸化膜の表面の前記第三処理回路の位置にレジストマスクを形成し、このレジストマスクから露出している前記第二処理回路の位置と前記第一ポリシリコン膜との表面から前記熱酸化膜を除去し、この熱酸化膜の除去後に前記レジストマスクを除去し、前記第二第三処理回路の位置と前記第一ポリシリコン膜との表面に熱酸化膜を成長させ、この熱酸化膜と前記第一ポリシリコン膜との表面に第二ポリシリコン膜を形成し、この第二ポリシリコン膜の表面の前記第二第三処理回路の位置にレジストマスクを形成し、このレジストマスクから露出している前記第一処理回路の位置の前記第二ポリシリコン膜を除去し、この除去により露出した前記第一処理回路の位置の前記熱酸化膜を除去して前記第一ポリシリコン膜を露出させ、前記第二第三処理回路の位置から前記レジストマスクを除去して前記第二ポリシリコン膜を露出させ、前記第一処理回路の位置の前記第一ポリシリコン膜をパターンニングして前記第一トランジスタのゲート電極を形成するとともに、前記第二第三処理回路の位置の前記第二ポリシリコン膜をパターンニングして前記第二第三トランジスタのゲート電極を形成するようにした。

【0041】従って、本発明の回路製造方法では、第一処理回路の位置に熱酸化膜を適正な膜厚に成長させてから、これを第一ポリシリコン膜で遮蔽して第二第三処理回路の位置に熱酸化膜を成長させるので、第一第二処理回路の位置の熱酸化膜が各々独自の膜厚により形成される。第三処理回路の位置は熱酸化膜が二層からなるので、第二処理回路の位置より厚膜に形成される。しかも、第一トランジスタのゲート絶縁膜の膜厚を制御するために形成した第一ポリシリコン膜から、第一トランジスタのゲート電極が形成される。

【0042】本発明の第六の回路製造方法は、本発明の第一または第三の集積回路装置を製造する回路製造方法であって、半導体基板の表面の全域に熱酸化膜を成長させ、この熱酸化膜の表面の前記第二処理回路の位置に熱酸化を防止する第一ポリシリコン膜を形成し、露出している前記第一第三処理回路の位置と前記第一ポリシリコン膜との表面に熱酸化膜を成長させ、この熱酸化膜の表面の前記第三処理回路の位置にレジストマスクを形成し、このレジストマスクから露出している前記第一処理回路の位置と前記第一ポリシリコン膜との表面から前記熱酸化膜を除去し、この熱酸化膜の除去後に前記レジストマスクを除去し、前記第一第三処理回路の位置と前記第一ポリシリコン膜との表面に熱酸化膜を成長させ、この熱酸化膜と前記第一ポリシリコン膜との表面に第二ポリシリコン膜を形成し、この第二ポリシリコン膜の表面の前記第一第三処理回路の位置にレジストマスクを形成し、このレジストマスクから露出している前記第二処理回路の位置の前記第二ポリシリコン膜を除去し、この除

去により露出した前記第二処理回路の位置の前記熱酸化膜を除去して前記第一ポリシリコン膜を露出させ、前記第一第三処理回路の位置から前記レジストマスクを除去して前記第二ポリシリコン膜を露出させ、前記第二処理回路の位置の前記第一ポリシリコン膜をパターンニングして前記第二トランジスタのゲート電極を形成するとともに、前記第一第三処理回路の位置の前記第二ポリシリコン膜をパターンニングして前記第一第三トランジスタのゲート電極を形成するようにした。

【0043】従って、本発明の回路製造方法では、第二処理回路の位置に熱酸化膜を適正な膜厚に成長させてから、これを第一ポリシリコン膜で遮蔽して第一第三処理回路の位置に熱酸化膜を成長させるので、第一第二処理回路の位置の熱酸化膜が各々独自の膜厚により形成される。第三処理回路の位置は熱酸化膜が二層からなるので、第二処理回路の位置より厚膜に形成される。しかも、第二トランジスタのゲート絶縁膜の膜厚を制御するために形成した第一ポリシリコン膜から、第二トランジスタのゲート電極が形成される。

【0044】本発明の第七の回路製造方法は、本発明の第一または第三の集積回路装置を製造する回路製造方法であって、半導体基板の表面の全域に熱酸化膜を成長させ、この熱酸化膜の表面の前記第一処理回路の位置に熱酸化を防止する第一ポリシリコン膜を形成し、露出している前記第二第三処理回路の位置と前記第一ポリシリコン膜との表面に熱酸化膜を成長させ、この熱酸化膜の表面の前記第三処理回路の位置にレジストマスクを形成し、このレジストマスクから露出している前記第二処理回路の位置と前記第一ポリシリコン膜との表面から前記熱酸化膜を除去し、この熱酸化膜の除去後に前記レジストマスクを除去し、前記第二第三処理回路の位置と前記第一ポリシリコン膜との表面に熱酸化膜を成長させ、この熱酸化膜と前記第一ポリシリコン膜との表面に第二ポリシリコン膜を形成し、この第二ポリシリコン膜を前記第一処理回路の位置から除去するとともに前記第二第三処理回路の位置でパターンニングして前記第二第三トランジスタのゲート電極を形成し、前記第二第三処理回路の位置にレジストマスクを形成し、このレジストマスクから露出している前記第一処理回路の位置の前記第一ポリシリコン膜をパターンニングして前記第一トランジスタのゲート電極を形成するようにした。

【0045】従って、本発明の回路製造方法では、第一処理回路の位置に熱酸化膜を適正な膜厚に成長させてから、これを第一ポリシリコン膜で遮蔽して第二第三処理回路の位置に熱酸化膜を成長させるので、第一第二処理回路の位置の熱酸化膜が各々独自の膜厚により形成される。第三処理回路の位置は熱酸化膜が二層からなるので、第二処理回路の位置より厚膜に形成される。しかも、第一トランジスタのゲート絶縁膜の膜厚を制御するために形成した第一ポリシリコン膜から、第一トランジ

スタのゲート電極が形成される。さらに、第一トランジスタの最薄のゲート酸化膜の表面に位置するゲート電極のエッチングが、第二第三トランジスタのゲート電極のエッチングとは別個に実行される。

【0046】本発明の第八の回路製造方法は、本発明の第一または第三の集積回路装置を製造する回路製造方法であって、半導体基板の表面の全域に熱酸化膜を成長させ、この熱酸化膜の表面の前記第二処理回路の位置に熱酸化を防止する第一ポリシリコン膜を形成し、露出している前記第一第三処理回路の位置と前記第一ポリシリコン膜との表面に熱酸化膜を成長させ、この熱酸化膜の表面の前記第三処理回路の位置にレジストマスクを形成し、このレジストマスクから露出している前記第一処理回路の位置と前記第一ポリシリコン膜との表面から前記熱酸化膜を除去し、この熱酸化膜の除去後に前記レジストマスクを除去し、前記第一第三処理回路の位置と前記第一ポリシリコン膜との表面に熱酸化膜を成長させ、この熱酸化膜と前記第一ポリシリコン膜との表面に第二ポリシリコン膜を形成し、この第二ポリシリコン膜を前記第二処理回路の位置から除去するとともに前記第一第三処理回路の位置でパターンニングして前記第一第三トランジスタのゲート電極を形成し、前記第一第三処理回路の位置にレジストマスクを形成し、このレジストマスクから露出している前記第二処理回路の位置の前記第一ポリシリコン膜をパターンニングして前記第二トランジスタのゲート電極を形成するようにした。

【0047】従って、本発明の回路製造方法では、第二処理回路の位置に熱酸化膜を適正な膜厚に成長させてから、これを第一ポリシリコン膜で遮蔽して第一第三処理回路の位置に熱酸化膜を成長させるので、第一第二処理回路の位置の熱酸化膜が各々独自の膜厚により形成される。第三処理回路の位置は熱酸化膜が二層からなるので、第二処理回路の位置より厚膜に形成される。しかも、第二トランジスタのゲート絶縁膜の膜厚を制御するために形成した第一ポリシリコン膜から、第二トランジスタのゲート電極が形成される。さらに、第二トランジスタの最薄のゲート酸化膜の表面に位置するゲート電極のエッチングが、第一第三トランジスタのゲート電極のエッチングとは別個に実行される。

【0048】なお、本発明で云う各種手段は、その機能を実現するように形成されていれば良く、例えば、専用のハードウェア、適正な機能がプログラムにより付与されたコンピュータ、適正なプログラムによりコンピュータの内部に実現された機能、これらの組み合わせ、等を許容する。

【0049】

【発明の実施の形態】本発明の実施の第一の形態の集積回路装置および回路製造方法を図1ないし図4を参照して以下に説明する。なお、図1は本実施の形態の集積回路装置の要部の内部構造を示す断面図、図2は集積回路



装置の全体構造を示す模式的なブロック図、図3および図4は本実施の形態の回路製造方法を示す工程図、である。

【0050】本実施の形態の集積回路装置100は、電子回路機器である携帯電話機(図示せず)の一部として形成されており、この携帯電話機は、集積回路装置100とともに、低電圧電源101、高電圧電源102、バッテリー、電源スイッチ、各種の外部素子(図示せず)、等を具備している。

【0051】バッテリーは装置本体に着脱自在に装着されており、各電源101、102に本体電力を供給する。電源スイッチは装置本体の外面に手動操作できる状態に設けられており、バッテリーから各電源101、102への電力供給をオン/オフ切換する。低電圧電源101は、バッテリーから供給される本体電力により1.2(V)の低電圧A(=B)を発生し、高電圧電源102は、3.3(V)の高電圧Cを発生する。

【0052】本実施の形態の集積回路装置100は、三個の第一処理回路111、一個の第二処理回路112、第三処理回路である一個のI/O(Input/Output)回路113、を具備しており、これらが相互に接続されている。第一処理回路111と第二処理回路112には低電圧電源101が接続されており、I/O回路113には高電圧電源102と各種の外部素子とが接続されている。

【0053】本実施の形態の集積回路装置100は、前述のように携帯電話機の一部として形成されているため、切換自在な動作モードとして稼働モードと待機モードとが設定されている。集積回路装置100は、稼働モードの設定下では全部の部分に電源電圧が供給されるが、待機モードの設定下では一部の部分しか電源電圧は供給されない。

【0054】そこで、I/O回路113は、高電圧電源102から供給される3.3(V)の高電圧Cにより、稼働モードと待機モードとの両方で常時駆動され、各種の外部素子と各種データを入出力する。第二処理回路112は、低電圧電源101から供給される1.2(V)の低電圧Bにより、稼働モードと待機モードとの両方で常時駆動され、第一処理回路111への電圧供給を制御することにより、第一処理回路111を待機モード時に休止させるとともに稼働モード時には稼働させる。

【0055】このように第二処理回路112の制御により稼働モード時のみ動作する第一処理回路111は、その動作時には低電圧電源101から供給される1.2(V)の低電圧A(=B)で駆動され、I/O回路113が外部と授受するデータなどに対応して各種処理を実行する。

【0056】第一処理回路111と第二処理回路112とI/O回路113とはシリコン製の一個の半導体基板120に形成されており、図1に示すように、第一処理回路111は各種の回路素子の少なくとも一部が多数の

第一トランジスタ121からなる。同様に、第二処理回路112は各種の回路素子の少なくとも一部が多数の第二トランジスタ122からなり、I/O回路113は多数の第三トランジスタ123からなる。

【0057】これら第一から第三のトランジスタ121~123は、本実施の形態では一個の半導体基板120に各々形成されたLDD(Lightly Doped Drain-source)構造のMOSFET(Metal Oxide Semiconductor Field Effect Transistor)で形成されており、必要によりトレンチ部125で相互に分離されている。

【0058】なお、図中の126は高濃度のソース/ドレイン領域部を示し、127は低濃度領域を示す。また、130は熱酸化膜からなるゲート絶縁膜、131はポリシリコン膜からなるゲート電極、132は酸化膜からなるサイドウォール、である。

【0059】上述のように第一から第三のトランジスタ121~123は、同様な構造に形成されているが、その各々のゲート絶縁膜130の膜厚a~cは、 $a < b < c$ なる関係を満足している。

【0060】より詳細には、第一トランジスタ121のゲート絶縁膜130の膜厚aは20(Å)であり、第二トランジスタ122のゲート絶縁膜130の膜厚bは24(Å)であり、第三トランジスタ123のゲート絶縁膜130の膜厚cは70(Å)である。

【0061】なお、第一トランジスタ121のゲート絶縁膜130の膜厚aは21(Å)以下であれば良く、動作の高速化のためには薄いほど良いが、あまり薄いと長期での信頼性や膜厚の均一性などに問題がでるため、上述のように20(Å)としている。

【0062】また、第二トランジスタ122のゲート絶縁膜130の膜厚bは22~28(Å)の範囲で膜厚aより2.0(Å)以上厚ければ良いが、上述の膜厚ならばオフリーク(ゲート電極と基板間の電位差が“0”のときのドレイン電流)よりゲートリーク電流が充分に小さくなり、待機時の消費電流に対するゲートリーク電流の寄与を無視できるので24(Å)としている。

【0063】さらに、第三トランジスタ123のゲート絶縁膜130の膜厚cも、動作の高速化のためには薄いほど良いが、3.3(V)もの高電圧が印加されるので、長期での信頼性を確保するためには40(Å)以上である必要があり、ここでは充分な信頼性を確保するために70(Å)としている。

【0064】なお、前述のように第一処理回路111は1.2(V)の低電圧Aで稼働モードのみ駆動され、第二処理回路112は1.2(V)の低電圧B(=A)で待機モードでも駆動され、I/O回路113は3.3(V)の高電圧Cで待機モードでも駆動されるので、第一から第三のトランジスタ121~123を駆動する電圧A~Cは $A = B < C$ なる関係を満足している。

【0065】上述のような構成において、本実施の形態

の集積回路装置100は、電子回路機器である携帯電話機の一部として形成されているので、I/O回路113が各種の外部素子と各種データを入出力し、このI/O回路113が外部と入出力するデータなどに対応して第一処理回路111が各種処理を実行する。

【0066】本実施の形態の携帯電話機は、前述のように動作モードとして稼働モードと待機モードとが切換自在であり、従来と同様に発信時や着信時には稼働モードが設定されて動作する。しかし、それ以外のときには待機モードが設定されて待機するので、待機中には大部分の回路の駆動を休止させて無用な電力消費を防止する。ただし、この待機中にも着信すると即座に動作する必要があるため、待機中にも着信を検知して休止中の回路を起動させる回路は動作している。

【0067】そこで、本実施の形態の携帯電話機は、データ通知手段であるデータ通知回路(図示せず)を具備しており、このデータ通知回路が、第一処理回路111の動作の可否を判定できる所定データを第二処理回路112にデータ通知するので、この第二処理回路112により第一処理回路111への電圧供給が制御されて動作の有無が制御される。

【0068】このため、I/O回路113と第二処理回路112とは携帯電話機の動作モードに関係なく常時駆動されるが、第一処理回路111は携帯電話機の待機モードでは電力供給が遮断されるので、待機中に第一処理回路111により無用な電力が消費されることがない。

【0069】本実施の形態の集積回路装置100は、一個の半導体基板120に第一処理回路111と第二処理回路112とI/O回路113とが集積されているが、その第一から第三のトランジスタ121~123が用途や性能に対応して最適化されているので、高性能化と省電力化とが両立されている。

【0070】つまり、I/O回路113は、例えば、3.3(V)の電源電圧で動作するメモリ素子等の外部素子と授受するため、3.3(V)の高圧な電源電圧Cが常時印加される必要があるが、その第三トランジスタ123のゲート絶縁膜130は膜厚cが70(Å)と最厚なので、ゲートリーク電流が微少な状態で動作することができる。

【0071】第一処理回路111は、その第一トランジスタ121のゲート絶縁膜130の膜厚aが20(Å)と最薄なので、1.2(V)の低電圧Aで高速かつ省電力に動作することができる。このようにゲート絶縁膜130が最薄の第一トランジスタ121は待機中のゲートリーク電流が無視できないが、第一処理回路111は待機中には電源電圧が印加されないためゲートリーク電流が発生しない。

【0072】そして、第二処理回路112は、その第二トランジスタ122のゲート絶縁膜130の膜厚bが膜厚aより数(Å)厚い24(Å)なので、1.2(V)の低電圧Bで駆動されるときゲートリーク電流が微少である。こ

のようにゲートリーク電流が微少な第二処理回路112が携帯電話機の待機中にも常時動作しており、ゲートリーク電流が無視できない第一処理回路111への電圧供給を制御するので、本実施の形態の集積回路装置100は、トータルの消費電力が低減されている。

【0073】なお、上述のようにゲート絶縁膜130が厚く低電圧で駆動される第二トランジスタ122は、ゲート絶縁膜130が最薄の第一トランジスタ121ほどは高速に動作できないが、第二処理回路112は高速動作が要求されない待機中に動作するので、その第二トランジスタ122の動作速度が問題となることはない。

【0074】ここで、本実施の形態の集積回路装置100を製造する回路製造方法を以下に説明する。まず、半導体基板120を用意し、図3(a)に示すように、その第一から第三のトランジスタ121~123を分離する位置にトレンチ部125を形成してから、半導体基板120の表面の全域に850(°C)の熱酸化法で膜厚65(Å)の熱酸化膜141を成長させる。

【0075】つぎに、この熱酸化膜141の表面の全域にフォトリソグラフィ法で除去することにより、同図(b)に示すように、熱酸化膜141の表面の第一処理回路111とI/O回路113との位置にレジストマスク142を形成する。

【0076】このレジストマスク142は第二処理回路112の位置のみ熱酸化膜141を露出させているので、この露出している第二処理回路112の位置の熱酸化膜141に、アルゴンイオンを強度20(KeV)でドーズ量 $5 \times 10^{14}$  (/cm<sup>2</sup>)まで注入する。

【0077】このアルゴンイオンの注入後にレジストマスク142を除去してから、同図(c)に示すように、I/O回路113の位置のみレジストマスク143を再度形成し、このレジストマスク143から露出している第一第二処理回路111、112の位置の熱酸化膜141をエッチング液で除去する。これは熱酸化膜141がアルゴンイオンによりダメージを受けているため、一度除去して再度成膜するためである。

【0078】つぎに、レジストマスク143を除去してから半導体基板120の表面の全域を1000(°C)で10(sec)まで熱処理し、図4(a)に示すように、半導体基板120の表面の全域に一つの熱酸化膜144を成長させる。このように成長させた熱酸化膜144は、第一処理回路111の位置では20(Å)の膜厚となる。

【0079】しかし、第二処理回路112の位置では、アルゴンが注入されているため初期の酸化速度が向上され、熱酸化膜144の膜厚は第一処理回路111の位置より数(Å)は厚膜の24(Å)となる。また、I/O回路113の位置では、熱酸化膜141が事前に形成されているので、熱酸化膜144の膜厚は70(Å)となる。

【0080】以下は従来の回路製造方法と同一であり、

同図(b)に示すように、熱酸化膜144の表面の全域にポリシリコン膜を形成してパターンニングすることでゲート電極131を形成し、マスクにより制限したイオン注入により低濃度のn型拡散層126を部分的に形成する。

【0081】さらに、全面に800(Å)の酸化膜を成長させてからエッチバックしてサイドウォール132を形成し、再度のイオン注入で高濃度のn型拡散層127を形成し、必要により層間膜やコンタクトホールや配線等を形成することにより、同図(c)に示すように、集積回路装置100の第一から第三のトランジスタ121~123が完成する。

【0082】上述のような回路製造方法により製造された集積回路装置100は、第一から第三のトランジスタ121~123のゲート絶縁膜130の膜厚a~cが、 $a < b < c$ なる関係を満足している。

【0083】このため、本実施の形態の集積回路装置100では、第三トランジスタ123のゲート絶縁膜130は膜厚cが70(Å)と最厚のI/O回路113は、3.3(V)の高電圧Cによりゲートリーク電流が微少な状態で高速に動作することができ、第一トランジスタ121のゲート絶縁膜130の膜厚aが20(Å)と最薄の第一処理回路111は、1.2(V)の低電圧Aで高速かつ省電力に動作することができる。

【0084】第二トランジスタ122のゲート絶縁膜130の膜厚bが膜厚aより数(Å)厚い24(Å)の第二処理回路112は、1.2(V)の低電圧Bによりゲートリーク電流が微少な状態で動作することができる。第二処理回路112は第一処理回路111ほど高速に動作できないが、第二処理回路112は待機中に動作するので速度は問題とならない。第一処理回路111はゲートリーク電流が微少でないが、待機中には第二処理回路112の制御により休止されて電圧が供給されないので、そのゲートリーク電流が無用に消費されることはない。

【0085】つまり、本実施の形態の集積回路装置100は、一個の半導体基板120に集積されている第一処理回路111と第二処理回路112とI/O回路113とのトランジスタ121~123が用途や性能に対応して最適化されているので、高性能化と省電力化とが両立されている。

【0086】なお、本発明は上記形態に限定されるものではなく、その要旨を逸脱しない範囲で各種の変形を許容する。例えば、上記形態では各トランジスタ121~123をLDD形式のn型とすることを例示したが、他形式でも可能なことは当然である。

【0087】また、上記形態では第三処理回路であるI/O回路113を稼働モードと待機モードとの両方で常時動作させることを例示したが、第一処理回路112により待機モードにI/O回路113の電力供給を停止させ、さらに消費電力を削減することも可能である。

【0088】さらに、上記形態では稼働モードと待機モードとが切換自在な電子回路機器として携帯電話機を例示したが、ノートパソコンなどのバッテリー駆動する各種の電子回路機器に本発明は適用可能である。また、上記形態では各種の数値を具体的に例示したが、これは実際の製品では各種に変更できることは当然である。

【0089】また、上記形態では熱酸化法により同時に成長させる第二トランジスタ122のゲート絶縁膜130を第一トランジスタ121のゲート絶縁膜130より厚膜とするため、第二処理回路112の位置のみアルゴンイオン注入することを例示したが、このイオン注入する物質を弗素や弗素化合物とすることも可能である。

【0090】反対に、熱酸化法により同時に成長させる第一トランジスタ121のゲート絶縁膜130を第二トランジスタ122のゲート絶縁膜130より薄膜とするため、第一処理回路111の位置に熱酸化膜の成長を低下させる物質を注入することも可能である。

【0091】ここで、このような回路製造方法を本発明の実施の第二の形態として図5および図6を参照して以下に説明する。なお、これより以下の実施の形態において上述した第一の形態と同一の部分は、同一の名称および符号を使用して詳細な説明は省略する。同図は本実施の形態の回路製造方法を示す工程図である。

【0092】まず、本実施の形態の回路製造方法でも、図5(a)に示すように、半導体基板120の第一から第三のトランジスタ121~123を分離する位置にトレレンチ部125を形成してから、半導体基板120の表面の全域に熱酸化法で膜厚5.0(nm)の熱酸化膜141を成長させる。

【0093】つぎに、この熱酸化膜141の表面の全域にフォトリソを塗布してから第一第二処理回路111、112の位置のみフォトリソグラフィ法で除去することにより、同図(b)に示すように、熱酸化膜141の表面のI/O回路113の位置のみレジストマスク151を形成する。

【0094】このレジストマスク151は第一第二処理回路111、112の位置のみ熱酸化膜141を露出させるので、この露出している第一第二処理回路111、112の位置の熱酸化膜141をウェットエッチングにより除去してから、第二処理回路112とI/O回路113との位置にレジストマスク152を再度形成する。

【0095】このレジストマスク152は第一処理回路111の位置のみ熱酸化膜141を露出させるので、この露出している第一処理回路111の位置の熱酸化膜141に、インジウムイオン( $In^+$ )を強度100~300(KeV)でドーズ量 " $1 \times 10^{12} \sim 3 \times 10^{13} (1/cm^2)$ " まで注入する。

【0096】このインジウムイオンの注入後に、同図(c)に示すように、第一処理回路111とI/O回路113との位置のみレジストマスク153を再度形成し、



このレジストマスク153から露出している第二処理回路112の位置の熱酸化膜141に、ボロンイオン(B<sup>+</sup>)を強度10~50(KeV)でドーズ量“ $1 \times 10^{12} \sim 3 \times 10^{13} / \text{cm}^2$ ”まで注入する。

【0097】つぎに、レジストマスク153を除去してから半導体基板120の表面の全域に一つの熱酸化膜144を成長させ、この熱酸化膜144を第二処理回路112の位置で25(Å)とする。このとき、第一処理回路111の位置では、インジウムが注入されているので初期の酸化速度が低減され、熱酸化膜144の膜厚は第二処理回路112の位置より数(Å)は薄膜の20(Å)となる。また、I/O回路113の位置では、熱酸化膜141が事前に形成されているので、熱酸化膜144の膜厚は70(Å)となる。

【0098】以下は従来の回路製造方法と同一であり、上述のような回路製造方法により製造された集積回路装置100は、第一から第三のトランジスタ121~123のゲート絶縁膜130の膜厚a~cが、 $a < b < c$ なる関係を満足することになる。

【0099】なお、第一トランジスタ121はゲート酸化膜130にインジウムがイオン注入されているので、その膜厚とともに閾値電圧も適正に制御される。また、第二トランジスタ122のゲート酸化膜130にはボロンがイオン注入されているが、これは閾値電圧を制御するためであり膜厚の制御には関与しない。

【0100】また、上記形態では熱酸化法により同時に成長させる第一トランジスタ121のゲート絶縁膜130を第二トランジスタ122のゲート絶縁膜130より薄膜に成長させるため、第一処理回路111の位置のみインジウムをイオン注入することを例示したが、このイオン注入する物質を窒素とすることも可能である。

【0101】さらに、本発明の実施の第三の形態の回路製造方法を図7ないし図9を参照して以下に説明する。なお、同図は本実施の形態の回路製造方法を示す工程図である。まず、本実施の形態の回路製造方法でも、図7(a)に示すように、半導体基板120の第一から第三のトランジスタ121~123を分離する位置にトレンチ部125を形成してから表面の全域に熱酸化膜141を成長させ、この熱酸化膜141の表面の全域に導電層として第一ポリシリコン膜161を形成する。

【0102】つぎに、同図(b)に示すように、この第一ポリシリコン膜161の表面の第一処理回路111の位置にレジストマスク162を形成し、このレジストマスク162から露出している第二処理回路112とI/O回路113との位置のみ第一ポリシリコン膜161を除去する。

【0103】これで第一処理回路111の位置のみ第一ポリシリコン膜161が熱酸化マスクとして形成されるので、同図(c)に示すように、レジストマスク162を除去してから第二処理回路112とI/O回路113と

の位置の表面に熱酸化膜163を成長させる。このとき、この熱酸化膜163は第一ポリシリコン膜161の表面にも形成され、この第一ポリシリコン膜161の下層の熱酸化膜141と一体となる。

【0104】つぎに、この熱酸化膜163の表面のI/O回路113の位置にレジストマスク164を形成し、図8(a)に示すように、このレジストマスク164から露出している第二処理回路112の位置と第一ポリシリコン膜161との表面から熱酸化膜163をエッチング除去する。

【0105】この熱酸化膜163の除去後にレジストマスク164を除去し、同図(b)に示すように、第二処理回路112とI/O回路113との位置および第一ポリシリコン膜161の表面の全域に熱酸化膜144を成長させる。これで第一処理回路111と第二処理回路112とI/O回路113との位置の熱酸化膜144の膜厚a~cが“ $a < b < c$ ”となる。

【0106】さらに、本実施の形態の回路製造方法では、同図(c)に示すように、上述のように形成された熱酸化膜144の表面の全域に導電層として第二ポリシリコン膜166を形成し、この第二ポリシリコン膜166の表面の第二処理回路112とI/O回路113との位置にレジストマスク167を形成する。

【0107】図9(a)に示すように、このレジストマスク167から露出している第一処理回路111の位置の第二ポリシリコン膜166を異方性エッチングで除去し、この除去により露出した第一処理回路111の位置の熱酸化膜144をウェットエッチングにより除去する。

【0108】これで第一ポリシリコン膜161が露出するので、同図(b)に示すように、第二処理回路112とI/O回路113との位置からレジストマスク167を除去して第二ポリシリコン膜166も露出させ、これら第一第二ポリシリコン膜161、166の表面にゲート電極131の形状のレジストマスク168を形成する。

【0109】そして、このレジストマスク168により第一処理回路111の位置の第一ポリシリコン膜161をバターニングするとともに、第二処理回路112とI/O回路113との位置の第二ポリシリコン膜166をバターニングすることにより、第一から第三トランジスタ121~123のゲート電極131を同時に形成する。

【0110】本実施の形態の回路製造方法では、熱酸化マスクとして第一ポリシリコン膜161を形成することにより、イオン注入を必要とすることなく第一から第三トランジスタ121~123のゲート絶縁膜130の膜厚a~cを“ $a < b < c$ ”とすることができる。

【0111】しかも、このように第一から第三トランジスタ121~123のゲート絶縁膜130の膜厚を制御するために利用される第一ポリシリコン膜161から第

10

20

30

40

50

ートランジスタ121のゲート電極131を形成することができるので、集積回路装置100の生産性を向上させることができる。

【0112】さらに、本発明の実施の第四の形態の回路製造方法を図10ないし図12を参照して以下に説明する。まず、本実施の形態の回路製造方法でも、図10(a)に示すように、半導体基板120にトレンチ部125を形成してから表面の全域に熱酸化膜141と第一ポリシリコン膜161とを順番に形成するが、同図(b)に示すように、この第一ポリシリコン膜161の表面の第2処理回路112の位置にレジストマスク162を形成し、第一処理回路111とI/O回路113との位置のみ第一ポリシリコン膜161を除去する。

【0113】これで第二処理回路112の位置のみ第一ポリシリコン膜161が熱酸化マスクとして形成されるので、同図(c)に示すように、レジストマスク162を除去してから第一処理回路111とI/O回路113との位置および第一ポリシリコン膜161の表面に熱酸化膜163を成長させる。

【0114】つぎに、この熱酸化膜163の表面のI/O回路113の位置にレジストマスク164を形成し、図11(a)に示すように、このレジストマスク164から露出している第一処理回路111の位置と第一ポリシリコン膜161との表面から熱酸化膜163をエッチング除去する。

【0115】この熱酸化膜163の除去後にレジストマスク164を除去し、同図(b)に示すように、第一処理回路111とI/O回路113との位置および第一ポリシリコン膜161の表面の全域に熱酸化膜144を成長させる。これで第一処理回路111と第二処理回路112とI/O回路113との位置の熱酸化膜144の膜厚 $a \sim c$ が $a < b < c$ となる。

【0116】さらに、本実施の形態の回路製造方法では、同図(c)に示すように、上述のように形成された熱酸化膜144の表面の全域に第二ポリシリコン膜166を形成し、この第二ポリシリコン膜166の表面の第一処理回路111とI/O回路113との位置にレジストマスク167を形成する。

【0117】図12(a)に示すように、このレジストマスク167から露出している第二処理回路112の位置の第二ポリシリコン膜166を異方性エッチングで除去し、この除去により露出した第二処理回路112の位置の熱酸化膜144をウェットエッチングにより除去する。

【0118】これで第一ポリシリコン膜161が露出するので、同図(b)に示すように、第一処理回路111とI/O回路113との位置からレジストマスク167を除去して第二ポリシリコン膜166も露出させ、これら第一第二ポリシリコン膜161、166をバターンニングすることにより、第一から第三トランジスタ121～1

23のゲート電極131を同時に形成する。

【0119】本実施の形態の回路製造方法でも、熱酸化マスクとして第一ポリシリコン膜161を形成することにより、イオン注入を必要とすることなく第一から第三トランジスタ121～123のゲート絶縁膜130の膜厚 $a \sim c$ を $a < b < c$ とすることができ、第一ポリシリコン膜161から第二トランジスタ122のゲート電極131を形成することができる。

【0120】さらに、本発明の実施の第五の形態の回路製造方法を図13および図14を参照して以下に説明する。まず、本実施の形態の回路製造方法でも、前述した第三の形態と同様にして、図13(a)に示すように、第一処理回路111と第二処理回路112とI/O回路113との位置の膜厚 $a \sim c$ が $a < b < c$ の熱酸化膜144が半導体基板120の表面に形成され、その第一処理回路111の位置に第一ポリシリコン膜161が形成されているとともに表面全域に第二ポリシリコン膜166が形成されている状態とされる。

【0121】このような状態から、同図(b)に示すように、第二ポリシリコン膜166の表面に第二第三トランジスタ122、123のゲート電極131の形状のレジストマスク171を形成し、同図(c)に示すように、このレジストマスク171を利用した異方性エッチングにより、第二ポリシリコン膜166を第二処理回路112とI/O回路113との位置でバターンニングして第二第三トランジスタ122、123のゲート電極131を形成する。

【0122】このとき、第二ポリシリコン膜166は第一処理回路111の位置から除去されるが、この第一処理回路111の位置では第二ポリシリコン膜166の下層として第一ポリシリコン膜161の熱酸化膜が位置しているので、この熱酸化膜により異方性エッチングは停止される。

【0123】つぎに、第二処理回路112とI/O回路113との位置を遮蔽するとともに、第一トランジスタ121のゲート電極131の形状に対応したレジストマスク172を形成し、このレジストマスク172から露出している第一処理回路111の位置の第一ポリシリコン膜161をバターンニングして第一トランジスタ121のゲート電極131を形成する。

【0124】そして、この形成後にレジストマスク172を除去すると、同図(b)に示すように、第一処理回路111と第二処理回路112とI/O回路113との位置の膜厚 $a \sim c$ が $a < b < c$ の熱酸化膜144の表面に、第一から第三トランジスタ121～123のゲート電極131が形成された状態となる。

【0125】本実施の形態の回路製造方法では、第一トランジスタ121の最薄のゲート酸化膜130の表面に位置するゲート電極131のエッチングを、第二第三トランジスタ122、123のゲート電極131のエッチ

ングとは別個に実行している。

【0126】このため、第一トランジスタ121のゲート酸化膜130の膜厚が第二第三トランジスタ122、123より極度に薄いような場合でも、第一から第三トランジスタ121～123のゲート電極131を各々に最適な条件でエッチングすることが可能である。

【0127】なお、このような回路製造方法を、前述した第四の形態と同様にして“ $a < b < c$ ”の膜厚 $a \sim c$ の熱酸化膜144が半導体基板120の表面に形成されており、その第二処理回路112の位置に第一ポリシリコン膜161が形成されているとともに表面全域に第二ポリシリコン膜166が形成されている状態に適用することも可能である。

【0128】その場合、図15および図16に示すように、第二トランジスタ122のゲート酸化膜130の表面に位置するゲート電極131のエッチングが、第一第三トランジスタ121、123のゲート電極131のエッチングとは別個に実行されるので、やはり第一から第三トランジスタ121～123のゲート電極131を各々に最適な条件でエッチングすることが可能となる。

【0129】

【発明の効果】本発明は以上説明したように構成されているので、以下に記載するような効果を奏する。

【0130】本発明の第一第二の集積回路装置では、ゲート絶縁膜が薄膜の第一トランジスタと厚膜の第二トランジスタとが同一の電圧で駆動され、第二トランジスタは待機モードでも駆動されるが第一トランジスタは稼働モードのみ駆動されることにより、第二トランジスタは、ゲート絶縁膜が最薄でないで動作は低速であるが、ゲートリーク電流が微少な状態で常時動作することができ、第一トランジスタは、ゲート絶縁膜が最薄なので、ゲートリーク電流は微少でないが高速に動作する状態で稼働モードのみ駆動され、第一第二トランジスタが用途や性能に対応して最適化されているので、高性能化と省電力化とが両立されている。

【0131】本発明の第三の集積回路装置では、ゲート絶縁膜が最厚の第三トランジスタは高電圧で駆動され、ゲート絶縁膜が最薄の第一トランジスタと最薄ではない第二トランジスタとは低電圧で駆動され、第二トランジスタは待機モードでも駆動されるが第一トランジスタは稼働モードのみ駆動されることにより、第三トランジスタは、駆動電圧が高圧であるがゲート絶縁膜が最厚なので、ゲートリーク電流が微少な状態で高速に動作することができ、第二トランジスタは、ゲート絶縁膜が最薄でなく駆動電圧が低圧なので、ゲートリーク電流が微少な状態で常時低速に動作することができ、第一トランジスタは、駆動電圧が低圧であるがゲート絶縁膜が最薄なので、ゲートリーク電流は微少でないが稼働モードのみ高速に動作することができ、第一から第三のトランジスタが用途や性能に対応して最適化されているので、高性能

化と省電力化とが両立されている。

【0132】本発明の第四の集積回路装置では、ゲート絶縁膜が最厚の第三トランジスタは高電圧で駆動され、ゲート絶縁膜が最薄の第一トランジスタと最薄ではない第二トランジスタとは低電圧で駆動されることにより、第三トランジスタは、駆動電圧が高圧であるがゲート絶縁膜が最厚なので、ゲートリーク電流が微少な状態で高速に動作することができ、第二トランジスタは、ゲート絶縁膜が最薄でなく駆動電圧が低圧なので、ゲートリーク電流が微少な状態で低速に動作することができ、第一トランジスタは、駆動電圧が低圧であるがゲート絶縁膜が最薄なので、ゲートリーク電流は微少でないが高速に動作することができ、第一から第三のトランジスタが用途や性能に対応して最適化されているので、高性能化と省電力化とが両立されている。

【0133】また、上述のような集積回路装置において、常時駆動されている第二処理回路が第一処理回路の駆動を制御することにより、高速に動作できるが待機時のゲートリーク電流が微少でない第一処理回路の動作の有無を、動作は低速であるがゲートリーク電流が微少な第二処理回路が制御するので、高性能化と省電力化とを両立することができる。

【0134】また、待機モードの第二処理回路が所定信号の外部入力を検知すると第一処理回路への電圧供給が開始されることにより、所定信号の外部入力により待機モードの第一処理回路を起動することができる。

【0135】また、第一トランジスタのゲート絶縁膜が半導体基板の表面に成長された熱酸化膜からなり、第二トランジスタのゲート絶縁膜が半導体基板のアルゴンと弗素と弗素化合物との少なくとも一つが注入された表面に第一トランジスタのゲート絶縁膜と同時に成長された熱酸化膜からなることにより、アルゴンと弗素と弗素化合物との少なくとも一つが注入された半導体基板の表面に成長された熱酸化膜は、注入されていない表面に同時に成長された熱酸化膜より厚膜となるので、第二トランジスタのゲート酸化膜を第一トランジスタのゲート酸化膜より厚膜に形成することができ、ゲート絶縁膜の膜厚が相違する第一第二トランジスタを簡単な方法で製造することができる。

【0136】また、第二トランジスタのゲート絶縁膜が半導体基板の表面に成長された熱酸化膜からなり、第一トランジスタのゲート絶縁膜が、インジウムと窒素との少なくとも一方が注入された半導体基板の表面に第二トランジスタのゲート絶縁膜と同時に成長された熱酸化膜からなることにより、インジウムと窒素との少なくとも一方が注入された半導体基板の表面に成長された熱酸化膜は、注入されていない表面に同時に成長された熱酸化膜より薄膜となるので、第一トランジスタのゲート酸化膜を第二トランジスタのゲート酸化膜より薄膜に形成することができ、ゲート絶縁膜の膜厚が相違する第一第二

トランジスタを簡単な方法で製造することができる。

【0137】本発明の第一の電子回路機器では、電源スイッチがオンされるとバッテリーから電源に本体電力が供給され、その電源電圧は第二処理回路には常時供給されるが第一処理回路には稼働モードのみ供給されることにより、第二トランジスタは、ゲート絶縁膜が最薄でない

ので動作は低速であるが、ゲートリーク電流が微少な状態で待機モードでも駆動され、第一トランジスタは、ゲート絶縁膜が最薄なので、ゲートリーク電流は微少でないが高速に動作する状態で稼働モードのみ駆動され、第一第二トランジスタが用途や性能に対応して最適化されているので、高性能化と省電力化とが両立されている。

【0138】本発明の第二の電子回路機器では、集積回路装置の第一第二処理回路に低電圧電源が電圧A(=B)を供給し、第三処理回路に高電圧電源が電圧Cを供給するが、第一処理回路の動作の要否を判定できる所定データをデータ通知手段が第二処理回路にデータ通知することにより、この第二処理回路がデータ通知手段のデータ通知に対応して第一処理回路の動作の有無を制御するので、高性能化と省電力化とを両立することができる。

【0139】本発明の第一の回路製造方法では、第一第二処理回路の位置に同時に熱酸化膜を形成するが、第二処理回路の位置のみアルゴンや弗素や弗素酸化膜を注入しておくことにより、第二処理回路の位置の熱酸化膜は第一処理回路の位置より成長を促進させることができ、二層からなる第三処理回路の位置の熱酸化膜は第二処理回路の位置より厚膜にできるので、第一トランジスタと第二トランジスタと第三トランジスタとの“ $a < b < c$ ”なる関係を満足している膜厚 $a \sim c$ のゲート絶縁膜を一個の半導体基板の表面に簡単に形成することができる。

【0140】本発明の第二の回路製造方法では、第一第二処理回路の位置に同時に熱酸化膜を形成するが、第一処理回路の位置のみインジウムや窒素を注入しておくことにより、第一処理回路の位置の熱酸化膜は第二処理回路の位置より成長を低減させることができ、二層からなる第三処理回路の位置の熱酸化膜は第二処理回路の位置より厚膜にできるので、第一トランジスタと第二トランジスタと第三トランジスタとの“ $a < b < c$ ”なる関係を満足している膜厚 $a \sim c$ のゲート絶縁膜を一個の半導体基板の表面に簡単に形成することができる。

【0141】本発明の第三の回路製造方法では、第一処理回路の位置に熱酸化膜を適正な膜厚に成長させてから、これを熱酸化マスクで遮蔽して第二第三処理回路の位置に熱酸化膜を成長させることにより、第一第二処理回路の位置の熱酸化膜を各々独自の膜厚に形成することができ、二層からなる第三処理回路の位置の熱酸化膜は第二処理回路の位置より厚膜にできるので、第一トランジスタと第二トランジスタと第三トランジスタとの“ $a < b < c$ ”なる関係を満足している膜厚 $a \sim c$ のゲート

絶縁膜を一個の半導体基板の表面に簡単に形成することができる。

【0142】本発明の第四の回路製造方法では、第二処理回路の位置に熱酸化膜を適正な膜厚に成長させてから、これを熱酸化マスクで遮蔽して第一第三処理回路の位置に熱酸化膜を成長させることにより、第一第二処理回路の位置の熱酸化膜が各々独自の膜厚に形成することができ、二層からなる第三処理回路の位置の熱酸化膜は第二処理回路の位置より厚膜にできるので、第一トランジスタと第二トランジスタと第三トランジスタとの“ $a < b < c$ ”なる関係を満足している膜厚 $a \sim c$ のゲート絶縁膜を一個の半導体基板の表面に簡単に形成することができる。

【0143】また、上述のような回路製造方法において、第一トランジスタのゲート絶縁膜の膜厚を制御するために形成した熱酸化マスクの導電層から、第一トランジスタのゲート電極を形成することにより、集積回路装置の生産性を向上させることができる。

【0144】また、熱酸化マスクの導電層をポリシリコン膜で形成することにより、ポリシリコン膜は物性的に下層の熱酸化を良好に防止することができ、ゲート電極などの導電層として利用することができるので、良好な性能の集積回路装置を良好に製造することができる。

【0145】本発明の第五の回路製造方法では、第一処理回路の位置に熱酸化膜を適正な膜厚に成長させてから、これを第一ポリシリコン膜で遮蔽して第二第三処理回路の位置に熱酸化膜を成長させ、第一トランジスタのゲート絶縁膜の膜厚を制御するために形成した第一ポリシリコン膜の導電層から、第一トランジスタのゲート電極を形成することにより、第一第二処理回路の位置の熱酸化膜を各々独自の膜厚に形成することができ、二層からなる第三処理回路の位置の熱酸化膜は第二処理回路の位置より厚膜にできるので、第一トランジスタと第二トランジスタと第三トランジスタとの“ $a < b < c$ ”なる関係を満足している膜厚 $a \sim c$ のゲート絶縁膜を一個の半導体基板の表面に簡単に形成することができ、しかも、集積回路装置の生産性を向上させることもできる。

【0146】本発明の第六の回路製造方法では、第二処理回路の位置に熱酸化膜を適正な膜厚に成長させてから、これを第一ポリシリコン膜で遮蔽して第一第三処理回路の位置に熱酸化膜を成長させ、第二トランジスタのゲート絶縁膜の膜厚を制御するために形成した第一ポリシリコン膜の導電層から、第二トランジスタのゲート電極を形成することにより、第一第二処理回路の位置の熱酸化膜を各々独自の膜厚に形成することができ、二層からなる第三処理回路の位置の熱酸化膜は第二処理回路の位置より厚膜にできるので、第一トランジスタと第二トランジスタと第三トランジスタとの“ $a < b < c$ ”なる関係を満足している膜厚 $a \sim c$ のゲート絶縁膜を一個の半導体基板の表面に簡単に形成することができ、しか

も、集積回路装置の生産性を向上させることもできる。

【0147】本発明の第七の回路製造方法では、第一処理回路の位置に熱酸化膜を適正な膜厚に成長させてから、これを第一ポリシリコン膜で遮蔽して第二第三処理回路の位置に熱酸化膜を成長させ、第一トランジスタのゲート絶縁膜の膜厚を制御するために形成した第一ポリシリコン膜の導電層から、第一トランジスタのゲート電極を形成し、第一トランジスタの最薄のゲート酸化膜の表面に位置するゲート電極のエッチングを、第二第三トランジスタのゲート電極のエッチングとは別個に実行することにより、第一第二処理回路の位置の熱酸化膜を各々独自の膜厚に形成することができ、二層からなる第三処理回路の位置の熱酸化膜は第二処理回路の位置より厚膜にできるので、第一トランジスタと第二トランジスタと第三トランジスタとの“ $a < b < c$ ”なる関係を満足している膜厚 $a \sim c$ のゲート絶縁膜を一個の半導体基板の表面に簡単に形成することができ、しかも、集積回路装置の生産性を向上させることもでき、さらに、第一から第三トランジスタのゲート電極を各々に最適な条件でエッチングすることができる。

【0148】本発明の第八の回路製造方法では、第二処理回路の位置に熱酸化膜を適正な膜厚に成長させてから、これを第一ポリシリコン膜で遮蔽して第一第三処理回路の位置に熱酸化膜を成長させ、第二トランジスタのゲート絶縁膜の膜厚を制御するために形成した第一ポリシリコン膜の導電層から、第二トランジスタのゲート電極を形成し、第二トランジスタの最薄のゲート酸化膜の表面に位置するゲート電極のエッチングを、第一第三トランジスタのゲート電極のエッチングとは別個に実行することにより、第一第二処理回路の位置の熱酸化膜を各々独自の膜厚に形成することができ、二層からなる第三処理回路の位置の熱酸化膜は第二処理回路の位置より厚膜にできるので、第一トランジスタと第二トランジスタと第三トランジスタとの“ $a < b < c$ ”なる関係を満足している膜厚 $a \sim c$ のゲート絶縁膜を一個の半導体基板の表面に簡単に形成することができ、しかも、集積回路装置の生産性を向上させることもでき、さらに、第一から第三トランジスタのゲート電極を各々に最適な条件でエッチングすることができる。

【図面の簡単な説明】

【図1】本発明の実施の第一の形態の集積回路装置の要部の内部構造を示す断面図である。

【図2】集積回路装置の全体構造を示す模式的なブロック図である。

【図3】本発明の実施の第一の形態の回路製造方法の前半部分を示す工程図である。

【図4】後半部分を示す工程図である。

【図5】本発明の実施の第二の形態の回路製造方法の前半部分を示す工程図である。

【図6】後半部分を示す工程図である。

【図7】本発明の実施の第三の形態の回路製造方法の前半部分を示す工程図である。

【図8】中盤部分を示す工程図である。

【図9】後半部分を示す工程図である。

【図10】本発明の実施の第四の形態の回路製造方法の前半部分を示す工程図である。

【図11】中盤部分を示す工程図である。

【図12】後半部分を示す工程図である。

【図13】本発明の実施の第五の形態の回路製造方法の前半部分を示す工程図である。

【図14】後半部分を示す工程図である。

【図15】本発明の実施の第六の形態の回路製造方法の前半部分を示す工程図である。

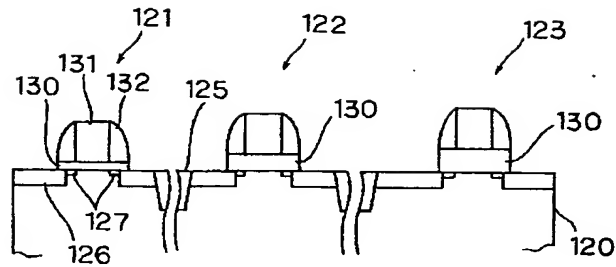
【図16】後半部分を示す工程図である。

【図17】駆動電圧とゲートリーク電流との関係を示す特性図である。

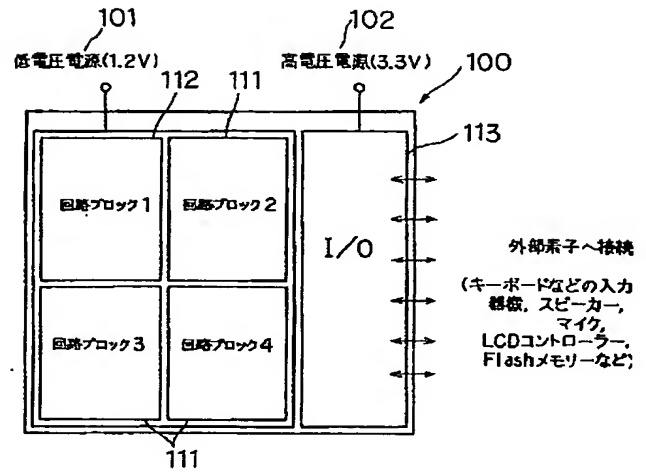
【符号の説明】

100	集積回路装置
101	低電圧電源
102	高電圧電源
111	第一処理回路
112	第二処理回路
113	第三処理回路であるI/O回路
121	第一トランジスタ
122	第二トランジスタ
123	第三トランジスタ
130	ゲート絶縁膜
131	ゲート電極
141, 144, 163	熱酸化膜
142, 143, 151~153, 162, 164, 167, 168, 172	レジストマスク
161	熱酸化マスクであり導電層である第一ポリシリコン膜
166	第二ポリシリコン膜

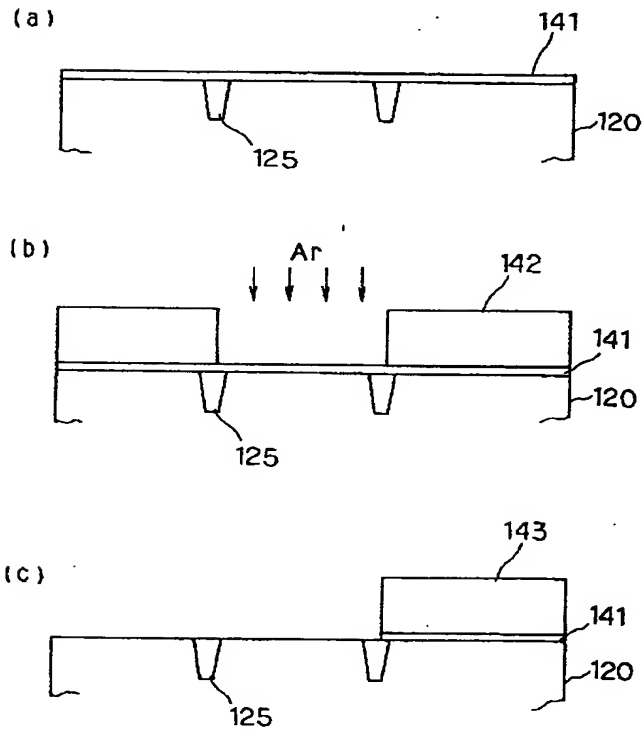
【図1】



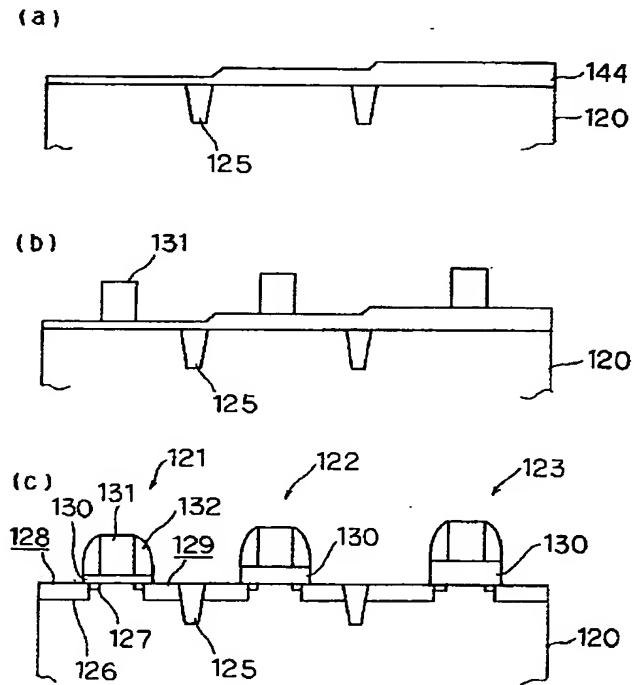
【図2】



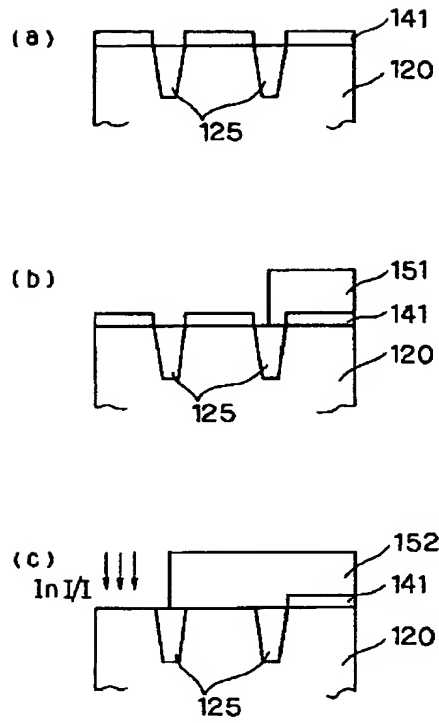
【図3】



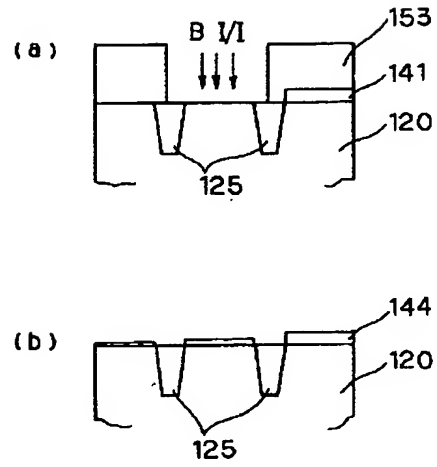
【図4】



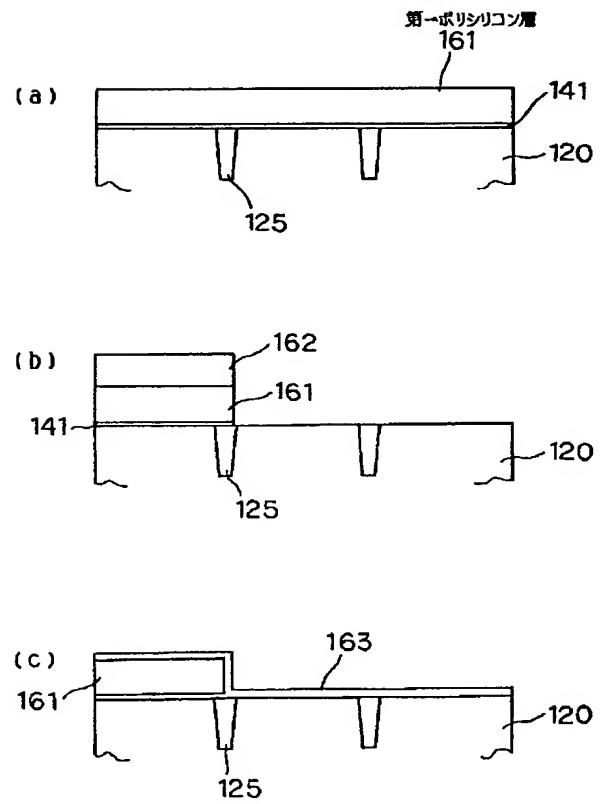
【図5】



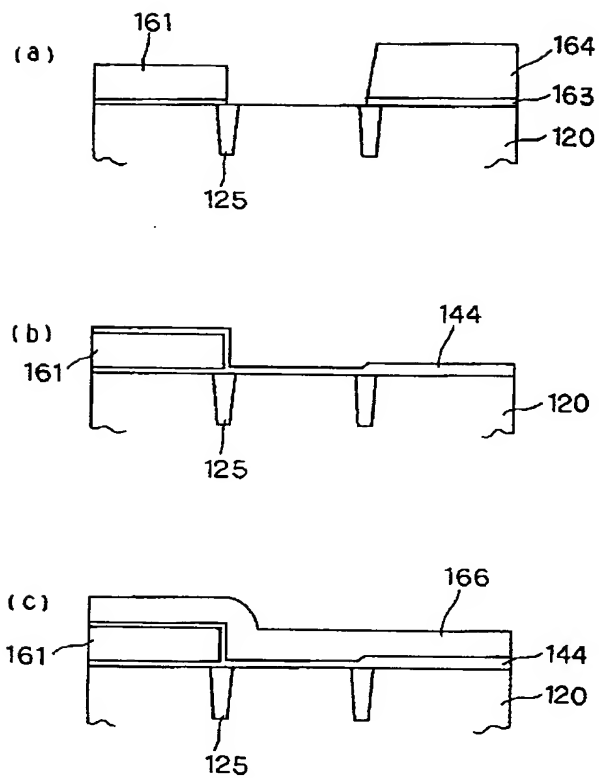
【図6】



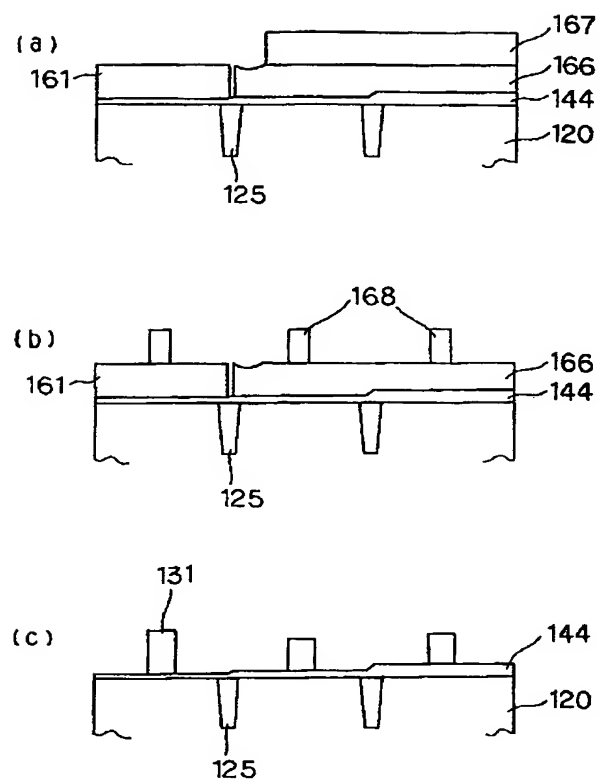
【図7】



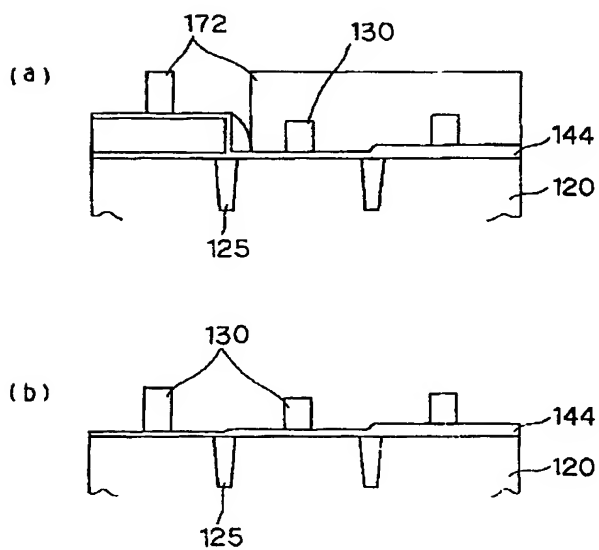
【図8】



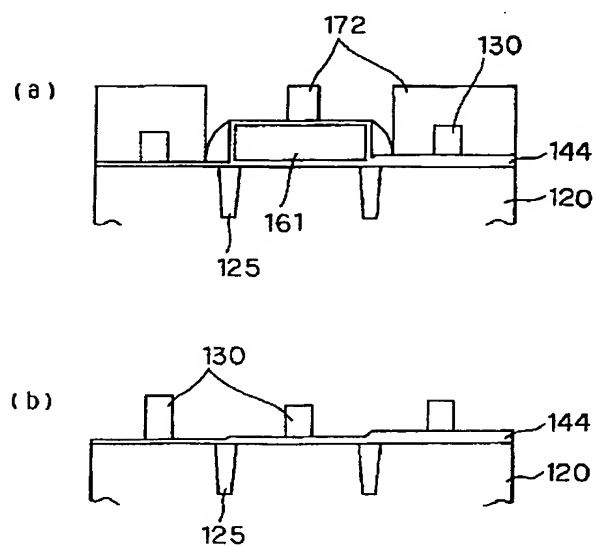
【図9】



【図14】

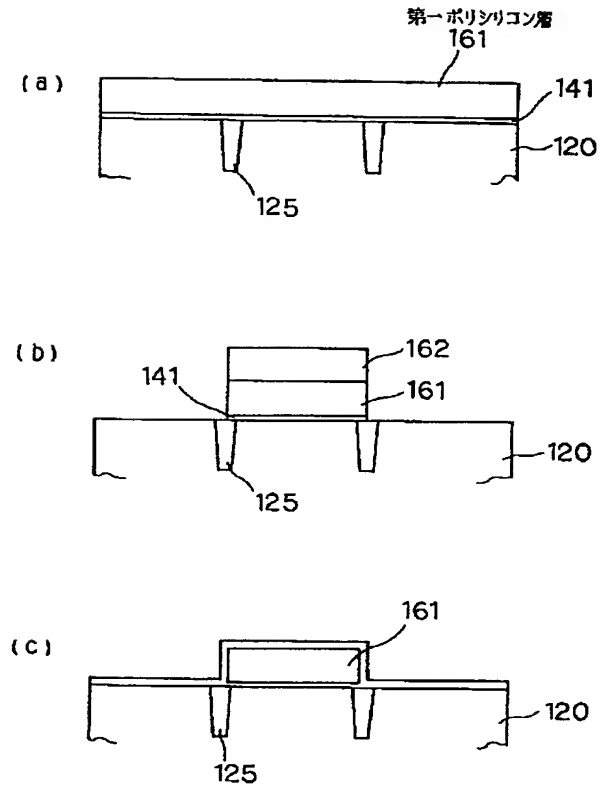


【図16】

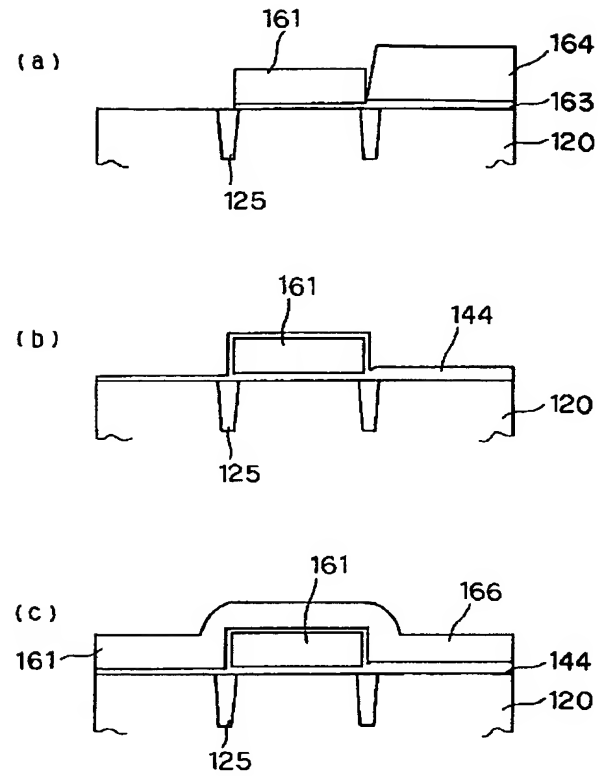




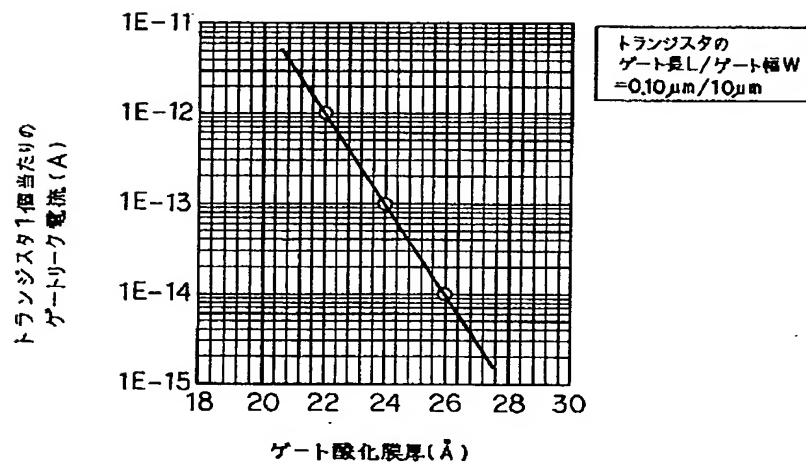
【図10】



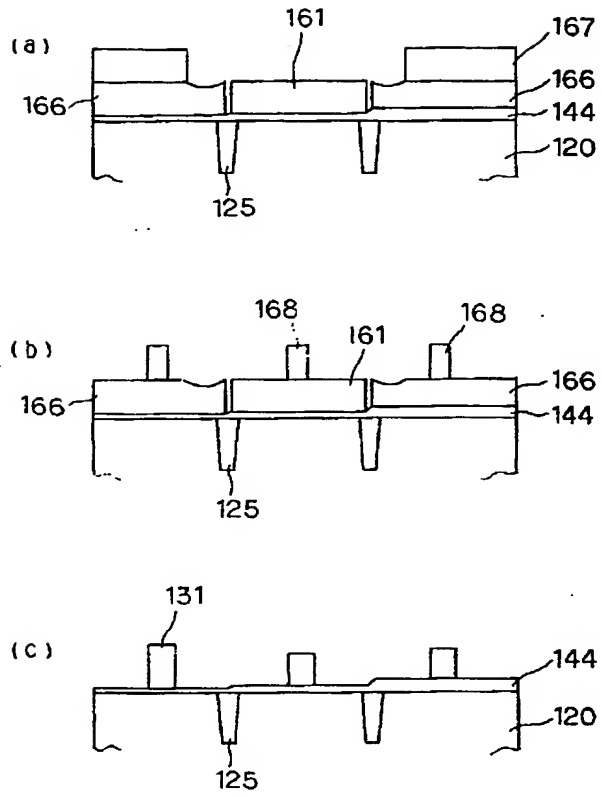
【図11】



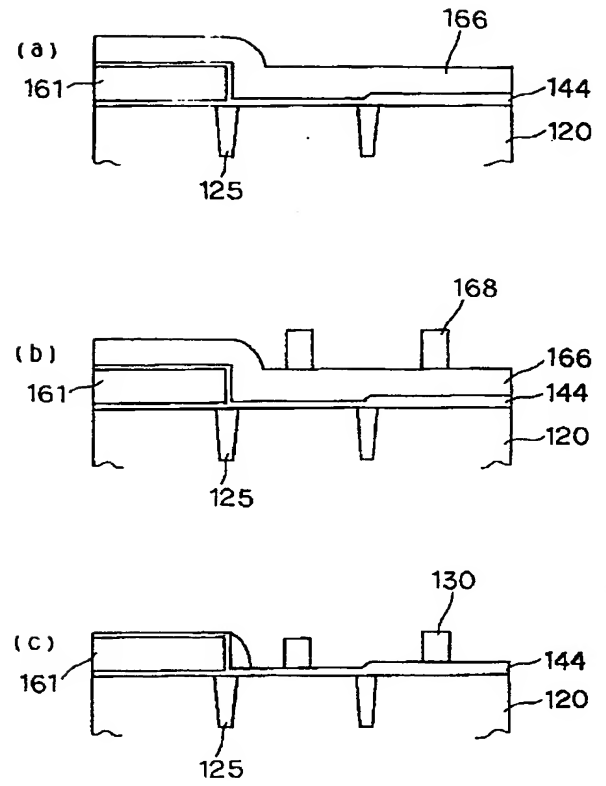
【図17】



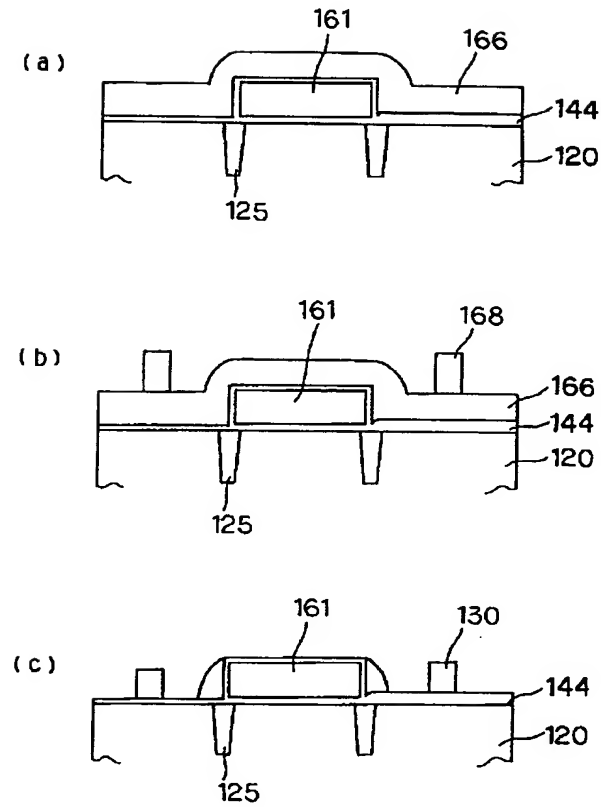
【図12】



【図13】



【図15】



フロントページの続き

(72)発明者 今井 清隆  
 東京都港区芝五丁目7番1号 日本電気株  
 式会社内

F ターム(参考) 5F038 AV06 CA03 CA05 DF08 DF11  
 EZ13 EZ20  
 5F048 AC01 BB05 BB16 BC06 BG13  
 DA25

